

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Toshio TAKAYAMA, et al.**

Group Art Unit: **Not Yet Assigned**

Serial No.: **Not Yet Assigned**

Examiner: **Not Yet Assigned**

Filed: **December 16, 2003**

For: **SEMICONDUCTOR DEVICE HAVING A MULTILAYER INTERCONNECTION  
STRUCTURE AND FABRICATION PROCESS THEREOF**

**CLAIM FOR PRIORITY UNDER 35 U.S.C. 119**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Date: December 16, 2003

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

**Japanese Appln. No. 2002-371134, filed December 20, 2002**


In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,

ARMSTRONG, KRATZ, QUINTOS,  
HANSON & BROOKS, LLP

  
Donald W. Hanson  
Attorney for Applicants  
Reg. No. 27,133

DWH/jaz  
Atty. Docket No. **031325**  
Suite 1000  
1725 K Street, N.W.  
Washington, D.C. 20006  
(202) 659-2930



**23850**

PATENT TRADEMARK OFFICE

PATENT OFFICE  
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy  
of the following application as filed with this office.

Date of Application: December 20, 2002

Application Number: No. 2002-371134

[ST.10/C]: [JP 2002-371134]

Applicant(s): FUJITSU LIMITED

August 29, 2003

Commissioner,  
Patent Office

Yasuo Imai (Seal)

Certificate No. 2003-3070674

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年12月20日  
Date of Application:

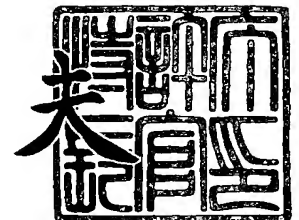
出願番号 特願2002-371134  
Application Number:  
[ST. 10/C]: [JP 2002-371134]

出願人 富士通株式会社  
Applicant(s):

2003年 8月29日

特許庁長官  
Commissioner,  
Japan Patent Office

今井 康



出証番号 出証特2003-3070674

【書類名】 特許願

【整理番号】 0241695

【提出日】 平成14年12月20日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H01L 21/90

【発明の名称】 多層配線構造およびその形成方法、半導体装置

【請求項の数】 9

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 高山 稔雄

【発明者】

    【住所又は居所】 愛知県春日井市高蔵寺町二丁目1844番2 富士通ヴェルエスアイ株式会社内

    【氏名】 生川 邦幸

【発明者】

    【住所又は居所】 愛知県春日井市高蔵寺町二丁目1844番2 富士通ヴェルエスアイ株式会社内

    【氏名】 水谷 寛

【特許出願人】

    【識別番号】 000005223

    【氏名又は名称】 富士通株式会社

【代理人】

    【識別番号】 100070150

    【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデンプレイスタワー32階

    【弁理士】

    【氏名又は名称】 伊東 忠彦

    【電話番号】 03-5424-2511

## 【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0114942

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 多層配線構造およびその形成方法、半導体装置

【特許請求の範囲】

【請求項 1】 銅配線パターンを含む第 1 の配線層と、  
前記第 1 の配線層上に形成された層間絶縁膜と、  
前記層間絶縁膜上に形成された第 2 の配線層と、  
前記層間絶縁膜中に前記銅配線パターンを露出するように形成されたビアホールと、

前記ビアホール中に形成され、前記第 1 の配線層と前記第 2 の配線層とを電氣的に接続するタングステンプラグとよりなる多層配線構造であって、

前記ビアホールは、深さ／径比が 1.25 以上の値を有し、

前記タングステンプラグの外壁面と前記ビアホールの内壁面との間には、前記タングステンプラグの外壁面に接する内壁面と、前記ビアホールの内壁面に接する外壁面とにより画成された導電性窒化物膜が形成されていることを特徴とする多層配線構造。

【請求項 2】 前記導電性窒化物膜は、TaN 膜を含むことを特徴とする請求項 1 記載の多層配線構造。

【請求項 3】 前記導電性窒化物膜は、第 1 の窒化物膜と、前記第 1 の窒化物膜の内側に積層された第 2 の窒化物膜とよりなることを特徴とする請求項 1 または 2 記載の多層配線構造。

【請求項 4】 銅配線パターンを含む第 1 の配線層上に層間絶縁膜を形成する工程と、

前記層間絶縁膜中に、前記銅配線パターンを露出するようにビアホールを形成する工程と、

前記被処理基板を反応性スパッタ装置中に導入し、前記反応性スパッタ装置中において前記層間絶縁膜上に、前記ビアホール内壁面を覆うように窒化物膜を反応性スパッタリングにより形成する工程と、

前記窒化物膜の形成工程の後、前記ビアホールを充填するように前記層間絶縁膜上にタングステンプラグを形成する工程と、

前記タングステンプラグ形成工程の後、前記層間絶縁膜上に第 2 の配線層を形成する工程とよりなる多層配線構造の形成方法であって、

前記窒化物膜を形成する工程の後、前記タングステンプラグを形成する工程より前に、前記被処理基板を前記反応性スパッタ装置中に設けられたスパッタターゲットから隔離する工程を含み、

前記窒化物膜を形成する工程の後、前記被処理基板を前記スパッタターゲットから隔離した状態で、前記反応性スパッタ装置中において前記スパッタターゲット表面をクリーニングすることを特徴とする多層配線構造の形成方法。

【請求項 5】 前記クリーニング工程は、前記スパッタターゲット表面の窒化膜が除去され前記スパッタターゲットを構成する金属の表面が露出するように実行されることを特徴とする請求項 4 記載の多層配線構造の形成方法。

【請求項 6】 前記被処理基板を隔離する工程は、前記被処理基板を前記反応性スパッタ装置から外部に取り出す工程よりなることを特徴とする請求項 4 または 5 記載の多層配線構造の形成方法。

【請求項 7】 前記タングステンプラグを形成する工程は、タングステンのフッ化物気相原料を使った C V D 法により、前記ビアホールを、前記窒化物膜を介してタングステン膜で充填する工程を含み、前記ビアホールを前記タングステン膜で充填する工程は、水素ガスを前記被処理基板表面に供給しながら実行されることを特徴とする請求項 4 ～ 6 のうち、いずれか一項記載の多層配線構造の形成方法。

【請求項 8】 前記タングステンプラグを形成する工程は、前記ビアホールの表面に、タングステンのフッ化物気相原料と、前記フッ化物気相原料を分解する反応性ガスとを交互に、間にパージ工程を挟みながら供給し、前記ビアホールの内壁面を覆う窒化物膜上にタングステンのパッシベーション膜を形成する工程と、前記パッシベーション膜上にタングステン膜を C V D 法により堆積する工程とよりなり、少なくとも前記パッシベーション膜を形成する工程は、水素ガスを前記被処理基板表面に供給しながら実行されることを特徴とする請求項 4 ～ 7 のうち、いずれか一項記載の多層配線構造の形成方法。

【請求項 9】 基板と、前記基板上に形成された多層配線構造とを含む半導



体装置であって、前記多層配線構造は、

銅配線パターンを含む第 1 の配線層と、

前記第 1 の配線層上に形成された層間絶縁膜と、

前記層間絶縁膜上に形成された第 2 の配線層と、

前記層間絶縁膜中に前記銅配線パターンを露出するように形成されたビアホールと、

前記ビアホール中に形成され、前記第 1 の配線層と前記第 2 の配線層とを電氣的に接続するタングステンプラグとよりなる多層配線構造であって、

前記ビアホールは、深さ／径比が 1.25 以上の値を有し、

前記タングステンプラグの外壁面と前記ビアホールの内壁面との間には、前記タングステンプラグの外壁面に接する内壁面と、前記ビアホールの内壁面に接する外壁面とにより画成された導電性窒化物膜が形成されていることを特徴とする半導体装置。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

本発明は一般に半導体装置に係り、特に多層配線構造を有する半導体装置およびその製造方法に関する。

##### 【0002】

#### 【従来の技術】

従来、半導体装置を微細化することにより、スケーリング則に沿った半導体装置の動作速度の高速化が図られている。一方最近の半導体集積回路装置では、基板上に形成された莫大な数の半導体装置を相互接続するために多層配線構造が使用されるが、かかる多層配線構造では、配線の総延長が増大し、深刻な配線遅延の問題が生じる。

##### 【0003】

そこで前記多層配線構造中における配線遅延の問題を解決すべく、多層配線構造中で層間絶縁膜を構成する絶縁膜に、従来使われている  $\text{SiO}_2$  系の絶縁膜の代わりに比誘電率の小さい無機絶縁膜あるいは有機絶縁膜を使い、また配線パタ

ーンに、従来使われているアルミニウムの代わりにより低抵抗で原子量の大きい銅を使うことが研究されている。配線パターンに銅を使う場合、従来使われていたドライエッチング工程によるパターニングが困難であるため、銅配線パターンはダマシン法により形成される。

#### 【0004】

しかしながら、ダマシン法による銅配線パターンの形成は工程数が多く、またストレスマイグレーションやエレクトロマイグレーションなど、様々な課題も残っている。

#### 【0005】

このような事情から、銅配線を使う超微細化半導体集積回路装置においても、配線遅延の問題が厳しい下層部にはダマシン法により形成された銅配線パターンを使い、配線遅延の問題がそれ程厳しくない上層部の配線には、従来通りのアルミニウム多層配線構造を使うことがある。銅配線パターンを有する多層配線構造上にアルミニウム配線パターンを有する多層配線構造を形成する場合には、下層の銅配線パターンと上層のアルミニウム配線パターンとを導電性プラグにより接続する必要がある。従来、このような導電性プラグとしては微細なビアホールをCVD法により、優れたステップカバレッジで充填できるタングステンが一般に使われている。

#### 【0006】

図1は、このような下層の銅配線を上層のアルミニウム配線と、層間絶縁膜中に形成されたタングステンプラグを介して接続する従来の接続構造10を示す。

#### 【0007】

図1を参照するに、従来の接続構造10では層間絶縁膜11中にバリアメタル膜11Aにより側壁面および底面が覆われた配線溝11Gが形成されており、前記配線溝11Gはダマシン法あるいはデュアルダマシン法により形成された銅配線パターン11Cuにより充填されている。ダマシン法に伴うCMPプロセスの結果、前記層間絶縁膜11と銅配線パターン11Cuとは同一の、一致する上主面を有し、かかる上主面上にはSiNなどよりなるバリア膜12Nを介して次の層間絶縁膜12が形成されている。

## 【0008】

前記層間絶縁膜 12 中には前記バリア膜 12 N を貫通して前記銅配線パターン 11 C を露出するビアホール 12 V が形成されており、前記ビアホール 12 V の側壁面および底面は、Ta N 膜 12 a および Ta 膜 12 b を順次積層した構成のバリアメタル膜 12 A と、Ti N よりなるバリアメタル膜 12 B とにより順次覆われており、このようにバリアメタル膜 12 A、12 B により覆われたビアホール 12 V 中には前記ビアホール 12 V 中の空間を充填するようにタングステンプラグ 12 W が、CVD 法およびこれに引き続く CMP 工程により形成されている。

## 【0009】

さらにこのようにしてタングステンプラグ 12 W を形成された層間絶縁膜 12 上には Ti よりなる密着膜 13 A および Ti N よりなるバリアメタル膜 13 B を介して、アルミニウムあるいはアルミニウム銅などのアルミニウム合金よりなるアルミニウム配線パターン 13 が形成されている。

## 【0010】

図示の例では、アルミニウム配線パターン 13 の表面には、通常どおり、Ti N よりなる別のバリアメタル膜 13 C がさらに形成されている。

## 【0011】

また従来、このようなタングステンプラグにより、上下の銅配線パターンを接続することも提案されている。

## 【0012】

図 2 (A) ～図 4 (E) は、図 1 の接続構造を形成する工程を示す。

## 【0013】

図 2 (A) を参照するに、図示を省略したダマシン法により銅配線パターン 11 C u を埋め込まれた層間絶縁膜 11 上には前記 Si N 膜 12 N がプラズマ CVD 法により堆積され、次に図 2 (B) の工程において前記 Si N 膜 12 N 上に層間絶縁膜 12 がプラズマ CVD 法などにより形成される。図 2 (B) の工程では、さらに前記層間絶縁膜 12 中に、前記 Si N 膜 12 N を貫通して前記銅配線パターン 11 C u を露出するようにビアホール 12 V が形成される。

## 【0014】

次に図3 (C) の工程において図2 (B) の露出された銅配線パターン11Cuに対して高周波プラズマ中において15nm程度の深さでドライエッチングを行い、前記ビアホール12Vの上部においてビア径を多少広げた後、前記図2 (B) の構造上に前記ビアホール12Vを含むように反応性スパッタリングにより、前記Ta<sub>2</sub>N膜12aとTa膜12bとが堆積され、前記バリアメタル膜12Aが形成される。さらに図3 (C) の工程においては前記バリアメタル膜12A上に前記TiN膜12Bが、次のバリアメタル膜として、同じく反応性スパッタリングにより形成される。

## 【0015】

典型的な例では前記Ta<sub>2</sub>N膜12aおよびTa膜12bはそれぞれ20nmおよび30nmの膜厚に形成され、また前記TiN膜12Bは50nmの膜厚に形成される。このような構成では、前記バリアメタル膜12Aおよび12Bは、Ta<sub>2</sub>N/Ta/TiN積層構造を形成する。あるいはバリアメタル膜12A中においてTa<sub>2</sub>N膜12aおよびTa膜12bを繰り返し積層し、Ta<sub>2</sub>N/Ta/Ta<sub>2</sub>N/Ta/TiN構造を形成する場合もある。この場合にはTa<sub>2</sub>N膜を10nmの膜厚に、またTa膜を15nmの膜厚に形成することができる。

## 【0016】

さらに図3 (D) の工程において図3 (C) の構造上に、WF<sub>6</sub>を気相原料としたCVD法により、前記ビアホール12Vを充填するようにタングステン膜12が堆積され、さらにCMP法により前記層間絶縁膜12上のタングステン膜12およびバリアメタル膜12B、12Aを順次除去することにより、図4 (E) の構造が得られる。

## 【0017】

このようにして得られた図4 (E) の構造上に通常の工程に従ってバリアメタル膜13A、13Bおよびアルミニウム配線パターン13を形成することにより、図1の構造が得られる。

## 【0018】

## 【特許文献1】

特開平 11-8753

【0019】

【特許文献 2】

特開 2001-93976

【0020】

【特許文献 3】

特開平 7-94610

【0021】

【特許文献 4】

特開 2001-93976

【0022】

【発明が解決しようとする課題】

ところが本発明の発明者は本発明の基礎となる研究において、図 1 のコンタクト構造を微細化しビアホール 12 V のアスペクト比（深さ／径比）が 1.25 を超えるようになった場合、図 5（A）、（B）に示すようにビアホール 12 V の側壁面を覆う Ta 膜 12 b に腐食 12 X が生じ、また銅配線パターン 11 Cu 中にも腐食 11 X が生じやすいことを見出した。ただし図 5（A）はビアプラグ断面の概略図を、また図 5（B）は実際のビアプラグ断面の SEM 写真を示す。図 5（B）の写真は、アスペクト比が 1.4 のビアプラグについてのものである。

【0023】

ビアプラグの側壁面あるいは銅配線パターンのビアプラグとのコンタクト部にこのような腐食による欠陥が生じると、コンタクト抵抗が増大するのみならず、エレクトロマイグレーションあるいはストレスマイグレーションに対する耐性が劣化し、半導体装置の歩留まりおよび信頼性が大きく低下してしまう。

【0024】

そこで本発明は上記の課題を解決した、新規で有用な多層配線構造およびその形成方法、さらにかかる多層配線構造を有する半導体装置を提供することを概括的課題とする。

【0025】

本発明のより具体的な課題は、銅配線層と上層の配線層とを、銅配線層と前記上層の配線層との間に介在する層間絶縁膜中に形成された微細なコンタクトホールにより接続する多層配線構造において、前記微細なコンタクトホール中に形成されたタングステンプラグを囲むバリアメタル膜に生じる腐食の問題、および前記銅配線層に生じる腐食の問題を解決することにある。

#### 【0026】

##### 【課題を解決するための手段】

本発明は上記の課題を、銅配線パターンを含む第1の配線層と、前記第1の配線層上に形成された層間絶縁膜と、前記層間絶縁膜上に形成された第2の配線層と、前記層間絶縁膜中に前記銅配線パターンを露出するように形成されたビアホールと、前記ビアホール中に形成され、前記第1の配線層と前記第2の配線層とを電氣的に接続するタングステンプラグとよりなる多層配線構造であって、前記ビアホールは、深さ／径比が1.25以上の値を有し、前記タングステンプラグの外壁面と前記ビアホールの内壁面との間には、前記タングステンプラグの外壁面に接する内壁面と、前記ビアホールの内壁面に接する外壁面とにより画成された導電性窒化物膜が形成されていることを特徴とする多層配線構造、およびかかる多層配線構造を有する半導体装置により解決する。

#### 【0027】

本発明はまた上記の課題を、銅配線パターンを含む第1の配線層上に層間絶縁膜を形成する工程と、前記層間絶縁膜中に、前記銅配線パターンを露出するようにビアホールを形成する工程と、前記被処理基板を反応性スパッタ装置中に導入し、前記反応性スパッタ装置中において前記層間絶縁膜上に、前記ビアホール内壁面を覆うように窒化物膜を反応性スパッタリングにより形成する工程と、前記窒化物膜の形成工程の後、前記ビアホールを充填するように前記層間絶縁膜上にタングステンプラグを形成する工程と、前記タングステンプラグ形成工程の後、前記層間絶縁膜上に第2の配線層を形成する工程とよりなる多層配線構造の形成方法であって、前記窒化物膜を形成する工程の後、前記タングステンプラグを形成する工程より前に、前記被処理基板を前記反応性スパッタ装置中に設けられたスパッタターゲットから隔離する工程を含み、前記窒化物膜を形成する工程の後

、前記被処理基板を前記スパッタターゲットから隔離した状態で、前記反応性スパッタ装置中において前記スパッタターゲット表面をクリーニングすることを特徴とする多層配線構造の形成方法により、解決する。

[作用]

本発明の発明者は、本発明の基礎となる研究において図5 (A), (B) に示す欠陥11Xおよび12Xの発生機構について検討したところ、欠陥12Xは図3 (D) の工程においてW層12を、WF<sub>6</sub>を気相原料としたCVD法により形成する際に、WF<sub>6</sub>ガスがTa膜12bと反応し、空洞を形成することにより生じることが解明された。またこのようなWF<sub>6</sub>ガスとTa膜12bとの反応は、半導体装置の微細化に伴いビアホール12Vのアスペクト比が増大することにより、ビアホール12V内における前記Ta膜12bを覆うTiN膜12Bのステップカバレッジが劣化し、特にビアホール12Vの底部近傍においてTa膜12bが露出することの結果、生じるものであることが解明された。

【0028】

さらに前記銅配線パターン11Cu中に生じる欠陥11Xも、このようなバリアメタル中に形成された空洞を介してWF<sub>6</sub>などのタングステンの気相原料が銅配線パターン11Cuと反応することにより生じることが解明された。

【0029】

従来のバリアメタル膜12AではTa膜12bは実際にはバリアメタル膜12Aの性能には関係しておらず、Ta<sub>2</sub>N膜22aをTaターゲットを使った反応性スパッタにより形成する際に、Ta<sub>2</sub>N膜の堆積を継続した場合に生じる発塵の問題を回避するために、Ta<sub>2</sub>N膜の堆積後Taターゲットの表面をクリーニングする過程で生じるものである。

【0030】

そこで、本発明は上記の知見に基づき、特にアスペクト比が1.25以上の微細なビアホールにおいてバリアメタル膜を反応性スパッタにより形成する際に、窒化膜の堆積に引き続くスパッタターゲットのクリーニング工程の際に、被処理基板をターゲットから隔離することにより、バリアメタル層中におけるTa膜などの金属層あるいは金属部分の形成を抑制することを提案する。その結果、本発

明によれば微細なビアホールを覆うバリアメタル膜が導電性窒化膜のみにより形成され、ビアホールをタングステンのCVD工程により充填する場合に気相原料によるバリアメタル膜の腐食反応を確実に回避することが可能になる。なお、本発明では導電性窒化膜は必ずしも化学量論組成の窒化膜である必要はなく、タングステンの気相原料と反応しない程度の窒素を含んでいればよい。

#### 【0031】

本発明によれば、タングステンプラグを覆うバリアメタル膜を全て窒化膜とすることにより、ビアホールのアスペクト比が大きくなりビアホール内においてバリアメタル膜を構成する導電性窒化物膜のステップカバレッジが劣化した場合でも、Taなどの金属膜が露出することがない。このため、WF<sub>6</sub>など反応性の大きなフッ化物原料を使ってタングステン膜を堆積した場合にもバリアメタル膜が腐食されることがなく、コンタクト構造における欠陥の発生を効果的に抑制できる。反応性スパッタにより形成されるバリアメタル膜を、金属膜を含まないように形成するために、本発明ではTa<sub>2</sub>Nなどの窒化物バリアメタル膜の反応性スパッタによる堆積の後で発塵を抑制するために行われるスパッタターゲットのクリーニングプロセスを、窒化物膜が形成された被処理基板が前記スパッタターゲットから隔離された状態で行うため、クリーニングプロセスの間に窒化物バリアメタル膜上に金属膜が堆積することがなく、後でこのように窒化物バリアメタル膜を形成されたビアホールをWF<sub>6</sub>などのフッ化物気相原料を使ったCVD法によりタングステン膜で充填しても、バリアメタル膜に腐食が生じることがない。特に枚葉処理装置を使い、前記クリーニングプロセスの間に被処理基板を次の処理室に送ることにより、クリーニングプロセスと平行して次のプロセスを実行することが可能になり、多層配線構造形成の際のスループットを向上させることができる。

#### 【0032】

また本発明によれば、バリアメタル膜が形成されたビアホールを、WF<sub>6</sub>などフッ化物気相原料を使ったCVD法によりタングステン膜により充填する場合、堆積プロセスを、水素ガスを供給しながら行うことにより、あるいは堆積に先立って下地構造を水素を含むガスのプラズマにより処理することにより、フッ化物



気相原料と銅配線パターンとの間の反応が抑制され、銅配線パターンの腐食の問題を効果的に抑制することが可能になる。

### 【0033】

#### 【発明の実施の形態】

図6は、本発明の第1実施例による多層配線構造を示す図である。

### 【0034】

図6を参照するに、層間絶縁膜21中には配線溝21Gが形成されており、前記配線溝21Gはバリアメタル膜21Aにより覆われ、さらにダマシン法により銅配線パターン21Cuを形成されている。なお前記層間絶縁膜21は図示を省略したシリコン基板上に形成されており、層間絶縁膜21上にはSiNバリア膜22Nを介して層間絶縁膜22が形成されている。前記層間絶縁膜22中には、前記バリア膜22Nを貫通して前記銅配線パターン21Cuを露出するビアホール22Vが、1.25以上のアスペクト比、例えば2.4のアスペクト比で形成されている。

### 【0035】

一例では前記層間絶縁膜は、プラズマCVD法により1100nmの厚さに形成されたSiO<sub>2</sub>膜をCMP法により730nmの膜厚まで研磨することにより形成されており、前記ビアホール22Vはアスペクト比1.4に形成されている。また前記バリア膜22NはプラズマCVD法により70nmの膜厚に形成されており、銅配線パターン21Cuは450nmの厚さに形成されている。

### 【0036】

本実施例では前記ビアホール22Vの内壁面および底面は連続的に25nmの膜厚のTa<sub>2</sub>Nバリアメタル膜22aにより覆われており、さらに前記Ta<sub>2</sub>Nバリアメタル膜22aは膜厚が75nmのTiN膜22Bにより覆われている。すなわち本実施例では、ビアホール22Vにおいてバリアメタル膜22A中に金属膜あるいは金属部分が含まれない。

### 【0037】

また前記ビアホール22Vにおいて前記TiN膜22B内側の空間はタングステンプラグ22Wにより充填されており、さらにCMP法による研磨を行うこと

により、前記タングステンプラグ 22W は、前記層間絶縁膜 22 の表面に一致する表面を有する。

#### 【0038】

このようにしてタングステンプラグ 22W が形成された層間絶縁膜 22 上には、Ti 密着膜 23A および TiN バリア膜 23B を介してアルミニウムあるいはアルミニウム合金よりなる配線層 23 が形成されている。また図示の例では前記アルミニウム配線層 23 上には別の TiN バリア膜 23C が形成されている。

#### 【0039】

図 7 (A) ~ 図 8 (D) は、図 6 の多層配線構造の形成工程を示す。

#### 【0040】

図 7 (A) を参照するに、前記層間絶縁膜 22 中には前記ビアホール 22V が前記銅配線パターン 21Cu を露出するように形成されており、前記露出された銅配線パターン 21Cu を RF プラズマ中において約 25 nm の深さまでドライエッチングした後、図 7 (A) の構造が図 7 (B) の工程において図 9 に示す反応性スパッタ装置 100 中に導入される。

#### 【0041】

図 9 を参照するに、反応性スパッタ装置 100 は図示を省略した真空系により真空排気される処理室 101 と、前記処理室 101 中に設けられ被処理基板 102 を保持する基板保持台 103 とを含み、さらに前記処理室 101 中には前記被処理基板 102 に対面するように金属 Ta よりなるスパッタターゲット 104 が設けられている。

#### 【0042】

そこで前記処理室 101 を真空排気した後 Ar などの希ガスを導入し、直流電源 105 より前記ターゲット 104 に直流バイアスを、また交流電源 106 より前記被処理基板 102 に交流バイアスを印加することにより、前記処理室 101 中には前記ターゲット 104 と基板 102 との間にプラズマ 107 が形成され、プラズマ 107 によりターゲット 104 からスパッタされた粒子が前記基板 102 の表面に堆積する。

#### 【0043】

このようなスパッタプロセスの際に前記処理室 101 に窒素ガスを導入することにより、前記被処理基板 102 の表面には TaN 膜が堆積する。ただし堆積される TaN 膜は一般には  $Ta N_x$  で表される非化学量論組成を有することが多い。

#### 【0044】

一方、このように前記処理室 101 中に窒素ガスを導入した状態でスパッタを継続すると前記スパッタターゲット 104 の表面には厚い TaN 膜が形成されてしまい、このような TaN 膜を形成されたスパッタターゲット 104 をスパッタした場合、発塵が生じてしまい、前記被処理基板表面に発塵に伴うダストパーティクルによる欠陥が生じてしまう。

#### 【0045】

そこで従来は、上記反応性スパッタ装置中における発塵の問題を回避するために、図 7 (B) の工程において図 9 の反応性スパッタ装置 100 中において図 10 (A) に示すように、TaN 膜を堆積した後、前記処理室 101 への窒素ガスの供給を遮断し、堆積された TaN 膜上に Ta 膜をさらに堆積することが行われていた。ただし図 10 (A) は、反応性スパッタ装置 100 で使われていた従来のスパッタレシピの例を示す。

#### 【0046】

図 10 (A) を参照するに、前記処理室 101 中に被処理基板が導入された後、最初に前記処理室 101 中に Ar ガスが 20 SCCM の流量で導入され、さらに直流バイアス電力および交流バイアス電力が、前記スパッタターゲット 104 および前記被処理基板 103 に、それぞれ 24 kW および 300 W のパワーで供給され、プラズマ 107 が形成される。

#### 【0047】

図 10 (A) のレシピでは、前記プラズマ 107 の形成と同時に前記処理室 101 中には窒素ガスが例えば 80 SCCM の流量で導入され、前記被処理基板 102 の表面に TaN 膜が堆積される。

#### 【0048】

一方、先に述べた発塵の問題を回避するため、図 10 (A) のレシピでは所定

時間経過後、前記窒素ガスの供給は遮断され、その結果、前記Ta<sub>2</sub>N膜上にはTa膜が成膜される。先に図1で説明した従来の多層配線構造中において使われているTa膜12bは、このような理由で形成されているものである。

#### 【0049】

これに対し本発明では先の図7(B)の工程において図10(B)のレシピを使い、図7(A)の構造上にTa<sub>2</sub>N膜22Aを堆積した後、前記被処理基板102を前記処理室101から取り出し、この状態において前記Taターゲット104表面をArプラズマ雰囲気中でスパッタすることにより、前記Ta<sub>2</sub>N膜22A上へのTa膜の堆積を抑制すると同時に、反応性スパッタ装置100中における発塵の問題を回避している。すなわち、本発明では前記Ta<sub>2</sub>N膜22Aの堆積後、被処理基板をスパッタ装置外に退避させ、前記Taターゲット104の表面をArプラズマ雰囲気によりクリーニングしている。

#### 【0050】

図10(B)は、本発明において図9の反応性スパッタ装置100で使われるスパッタレシピの例を示す。

#### 【0051】

図10(B)を参照するに、本実施例では図7(A)の構造が図9の処理室101に前記被処理基板102として導入された後、最初に前記処理室101中にArガスと窒素ガスとをそれぞれ20SCCMおよび80SCCMの流量で導入し、次に前記ターゲット104および基板102に直流バイアスおよび交流バイアスを、それぞれ24kWおよび300Wのパワーで供給する。これにより、図7(A)の構造上には前記層間絶縁膜22の表面および前記ビアホール22Vの側壁面および底面を連続的に覆うように、厚さが約20nmのTa<sub>2</sub>N膜がバリアメタル膜22Aとして形成される。

#### 【0052】

本実施例では、図10(B)中に矢印で示したタイミングにおいて前記直流バイアスおよび交流バイアスが遮断され、同時にArガスおよび窒素ガスの前記処理室101への供給が遮断される。これにより、前記処理室101中においてプラズマ107は消滅し、前記被処理基板102は前記処理室101から外部に取

り出される。

#### 【0053】

前記矢印のタイミングで被処理基板102が取り出された後、前記処理室101にはArガスのみが供給され、さらにスパッタターゲット104に直流バイアスを印加することによりターゲット104のクリーニングが実行される。このターゲットクリーニング工程では、基板保持台103への交流バイアスの供給は遮断される。

#### 【0054】

図11は、図10(B)のターゲットクリーニング工程中における反応性スパッタ装置100の状態を示す。

#### 【0055】

図11を参照するに、クリーニング工程においては前記基板保持台103とスパッタターゲット104との間に典型的にはステンレスよりなるシャッタ108が挿入され、ターゲット104からスパッタされた粒子が基板保持台103上に堆積するのが防止される。このようなシャッタ108としては、スパッタ装置において標準的に使われているものを使うことができる。

#### 【0056】

再び図10(B)を参照するに、このようなクリーニング工程により前記Taターゲット104の表面に形成されていたTa<sub>2</sub>N膜が除去されるが、クリーニング工程の最後の段階で短時間窒素ガスを導入することにより、ターゲット104の表面に薄いTa<sub>2</sub>N膜を形成しておく。これにより、次のスパッタ工程において被処理基板表面にTaリッチな膜が堆積するのが抑制される。

#### 【0057】

このようにして図7(B)に示すようにTa<sub>2</sub>Nバリアメタル膜22Aが形成された後、図8(B)の工程において図7(B)の構造上にTiをターゲットとした反応性スパッタによりTi<sub>2</sub>Nバリアメタル膜22Bが形成され、さらに図8(D)の工程において前記Ti<sub>2</sub>N膜22B上にタングステン膜22WがWF<sub>6</sub>をタングステンの気相原料として使うCVD法により、前記ビアホール22Vを充填するように堆積される。図8(B)のタングステン膜22Wの堆積工程の詳細に

については、次の実施例において説明する。

#### 【0058】

さらに図8（D）の構造において前記層間絶縁膜22上に堆積しているタングステン膜22W、TiNバリアメタル膜22BおよびTa<sub>2</sub>N<sub>5</sub>バリアメタル膜22AをCMP法により順次研磨・除去し、さらに密着膜23A、バリアメタル膜23B、23Cおよびアルミニウム配線パターン23を形成することにより、先に図6で説明した多層配線構造が得られる。

#### 【0059】

本実施例によれば、腐食性のWF<sub>6</sub>を気相原料として実行される図8（D）のタングステン膜22Wの堆積工程において、ビアホール22Vの側壁および底面がTa<sub>2</sub>N<sub>5</sub>膜22AおよびTiN膜22Bにより連続的に覆われているため、またバリアメタル膜22A中に金属膜が含まれないため、半導体装置の微細化の結果、ビアホール22Vのアスペクト比が増大し、前記TiN膜22Bの前記ビアホール22Vにおけるステップカバレッジが劣化しても、バリアメタル膜22Aに、先に図5（A）、（B）で説明したような欠陥が生じることがない。

#### 【0060】

先にも説明したようにバリアメタル膜22Aを構成するTa<sub>2</sub>N<sub>5</sub>膜は必ずしも化学量論組成を有するとは限らないが、膜中にWF<sub>6</sub>との反応を抑制するに十分な窒素を含んでいれば、非化学量論組成を有するものであってもかまわない。

#### [第2実施例]

図12は、先の図8（D）のW膜22Wの堆積工程で使われるプロセス圧シーケンスを、また図13（A）、（B）は、図12のシーケンスに対応した、図8（D）の工程のより詳細なプロセスフローを示す。

#### 【0061】

本発明の発明者は本発明の基礎となる研究において、図8（D）のタングステン膜22Wの成膜工程を、水素ガスを供給しながら実行すると、タングステン膜堆積時におけるバリアメタル膜22Aあるいは銅配線パターン21Cuの欠陥発生が抑制されることを見出した。

## 【0062】

図12を参照するに、本実施例では図8(C)の構造を最初に水素を含む雰囲気中において所定温度に加熱し(段階1)、次に前記水素ガスの供給を続けたまま、図8(C)のTiN下地層22B上に、図13(A)に示すようにタングステン核生成層(パッシベーション膜)23W<sub>1</sub>を、ALD(atomic layer deposition)法により8nm程度の膜厚に形成する(段階2)。

## 【0063】

さらに段階3において図13(B)に示すように水素ガスの供給を継続しながら、前記タングステン核生成層23W<sub>1</sub>上にタングステン膜23Wを、前記ビアホール22Vを充填するように堆積する。

## 【0064】

このようにしてTiN膜22B上にタングステン核生成層23W<sub>1</sub>を形成することにより、タングステン膜23Wを形成する際のインキュベーション時間が減少し、成膜工程のスループットが向上する。

## 【0065】

図14は、図12の段階2、すなわち図13(A)の工程においてタングステン核生成層23W<sub>1</sub>を形成する際のプロセスシーケンスを示す。

## 【0066】

図14を参照するに、本実施例ではプロセス圧を1kPa(7.5Torr)、基板温度を350℃に設定した状態でArガスおよび窒素ガスをキャリアガスとして、図示を省略したCVD装置中にそれぞれ2000SCCMおよび900SCCMの流量で連続的に供給するが、その際に本実施例ではさらに水素ガスがこれらのキャリアガスに加えて、1200SCCMの流量で、やはり連続的に供給されている。

## 【0067】

図14のプロセスシーケンスではこの状態でWF<sub>6</sub>ガスとSiH<sub>4</sub>ガスとが被処理基板表面に交互に供給される。WF<sub>6</sub>ガスを供給することにより、WF<sub>6</sub>分子がTiN膜22B表面に1分子層だけ化学吸着され、このようにして化学吸着したWF<sub>6</sub>分子がSiH<sub>4</sub>ガスにより分解され、その結果、前記TiN膜22B上には

タングステン膜が1原子層ずつ積層される。例えばWF<sub>6</sub>ガスは各サイクルにおいて30SCCMの流量で5秒間だけ供給され、またSiH<sub>4</sub>ガスは各サイクルにおいて18SCCMの流量で5秒間だけ供給される。また各サイクルにおいてWF<sub>6</sub>ガスの供給とSiH<sub>4</sub>ガスの供給との間には図中に矢印で示すインターバルが設けられ、この間に被処理基板表面のプロセス空間に残留していた過剰な処理ガスが、連続的に供給されているArガスあるいは窒素ガスによりパージされる。

#### 【0068】

図15 (A), (B) は、本実施例によるALDプロセスにより、それぞれアスペクト比が1.38および1.55のビアホール内壁にタングステン核生成層23W<sub>1</sub>を8nmの膜厚で形成した場合の、ステップカバレッジの様子を示す。図15 (A), (B) のいずれにおいても、バリアメタル膜22AはTa<sub>2</sub>N膜より構成されており、Ta膜は形成されていない。

#### 【0069】

図15 (A), (B) を参照するに、明るく見えるタングステン核生成層23W<sub>1</sub>はTiN膜に密着しており、隙間などの欠陥は生じていないことが確認される。

#### 【0070】

これに対し図15 (C), (D) は、先のタングステン核生成層23W<sub>1</sub>のALD法による形成の際に、水素ガスの供給を省略した場合、すなわち従来小さなアスペクト比を有するビアホールに対して適用されているALD法を使って、このような微細なビアホール側壁面にタングステン核生成層23W<sub>1</sub>を形成した場合の結果を示す。ただし図15 (C) はビアホール22Vのアスペクト比が1.38 (ビア径が0.65μm) の場合を、また図15 (D) はビアホール22Vのアスペクト比が1.55 (ビア径が0.58μm) の場合を示す。また図15 (C), (D) のいずれの場合にも、バリアメタル膜22AはTa膜を含まないTa<sub>2</sub>N膜により構成されている。

#### 【0071】

図15 (C), (D) を参照するに、いずれの場合にもビアホールの側壁面と



タングステン核生成層 23W<sub>1</sub>との間には、矢印で示す隙間ないし欠陥が発生しているのがわかる。

#### 【0072】

図15 (C), (D) に示す欠陥は、従来はビアホール 22V のアスペクト比が 1.25 以上になると生じていたものであり、従って従来は、このような微細なビアホールをタングステンプラグにより、欠陥を生じることなく充填することが出来なかった。

#### 【0073】

本実施例においては、このようにバリアメタル膜 22A を金属膜あるいは金属層を含まない TaN 膜とし、さらにタングステン膜 22W<sub>1</sub> および 22W を水素ガスを供給しながら形成することにより、ビアホールのアスペクト比が 1.25 以上になってもビアホール内をタングステンプラグにより、欠陥を生じることなく充填することが可能になる。特に図14のALDプロセスにおいて水素ガスの流量を 1200SCCM まで増加させることにより、アスペクト比が 3.0 のビアホール中をタングステンプラグにより、欠陥を生じることなく充填することができるのが確認されている。

#### 【0074】

このように本発明は微細なビアホールをタングステンプラグで充填する場合に一般的に必須とされる技術であるが、特にタングステンプラグ下層の配線パターンが WF<sub>6</sub> などのフッ化物原料に侵食されやすい銅配線パターンである場合に特に効果的である。

#### 【0075】

図16 (A) は、シリコンウェハ上に上記第1実施例および第2実施例の方法により多数のビアコンタクトを形成した場合のチェーン抵抗の分布を示すヒストグラムである。また図16 (B) は従来の方法、すなわちバリアメタル膜を TaN 膜と Ta 膜の積層構造とし、さらにタングステンプラグ形成時に水素ガスの供給を行わないプロセスで形成したビアコンタクトについてのチェーン抵抗の分布を示す。

#### 【0076】

図16 (A), (B) を参照するに、本発明によりビアプラグのチェーン抵抗が実質的に低減され、しかも従来は35%程度あった不良コンタクトがゼロになっているのがわかる。従来は、ウェハの外周部に沿って図16 (B) に見られる非常に高いチェーン抵抗を有する欠陥ビアプラグが形成されるのが見られた。

#### 【0077】

このように、本発明により、タングステンビアコンタクト形成時に100%の歩留まりを実現することが可能になる。

#### 【0078】

なお、本実施例においてはTaNバリアメタル膜22A上に、タングステン膜の成膜下地としてTiN膜22Bを形成しているが、本発明ではバリアメタル膜22Aがフッ化物と反応しない窒化膜より形成されるため、TiN膜22Bは省略することが可能である。この場合には、タングステン膜23Wあるいは23W<sub>1</sub>は、前記バリアメタル膜22A上に直接に形成される。また本実施例において、前記バリアメタル膜22を、全てTiN膜22Bにより形成することも可能である。

#### 【0079】

本実施例においてはタングステン膜23W<sub>1</sub>あるいは23Wの堆積時に水素ガスを被処理基板表面に供給しているが、その代わりにタングステン膜の堆積前に図8 (C) の構造の表面を水素を含むプラズマで処理することも可能である。

#### 【0080】

図17は、図8 (C) の構造に対してタングステン核生成層23W<sub>1</sub>の形成前に施されるプラズマ処理の例を示す。

#### 【0081】

図17を参照するに、この実施例では図8 (C) の構造をプラズマCVD装置の処理容器中に導入し、基板温度を350℃に設定し、処理ガスとしてNH<sub>3</sub>を225SCCMの流量で導入し、処理容器内の圧力を約530Pa (4 Torr) に設定して340Wの高周波パワーでプラズマを励起し、前記TiN膜22Bの表面をNH<sub>3</sub>プラズマで30秒間程度処理する。

#### 【0082】

このような表面処理を行っても、先に説明したビアホールとタングステンプラグとの間における欠陥の発生を抑制することができる。

### [第3実施例]

図18は、クラスタ型基板処理装置200を使った本発明の第3実施例による多層配線構造の形成方法を示す。

#### 【0083】

図18を参照するに、クラスタ型基板処理装置200においては真空基板搬送室201にロードロック室200A、先に図9で説明したTaターゲット104を備えTa<sub>2</sub>N<sub>5</sub>の堆積を行う反応性スパッタ装置100を有するスパッタ室200B、TiN膜の堆積を行う反応性スパッタ装置を有するスパッタ室200C、およびタングステン膜23W1あるいは23Wの堆積を行うCVD室200Dが結合されている。

#### 【0084】

そこでロードロック室200Aには図7(A)の状態の被処理基板が導入され、先に図10(B)で説明したレシピにより、Ta<sub>2</sub>N<sub>5</sub>膜22Aが堆積される。

#### 【0085】

図10(B)のレシピでは、前記Ta<sub>2</sub>N<sub>5</sub>膜22Aの堆積後、Taターゲット104のクリーニングが行われるが、本実施例では被処理基板はTa<sub>2</sub>N<sub>5</sub>膜22Aの堆積後、前記処理室200Bから直ちに処理室200Cに送られ、TiN膜22Bの堆積が行われる。従って、TiN膜22Bの堆積は、前記Taターゲット104のクリーニングと同時に実行される。

#### 【0086】

さらに処理室200CにおけるTiN膜22Bの堆積の終わった図8(C)の状態の被処理基板はCVD室200Dに送られ、タングステン核生成層23W1あるいはタングステン膜23Wの堆積が行われる。勿論、図18のクラスタ型処理装置200において、ALDプロセスにより行われるタングステン核生成層23W1の形成と通常のCVD法で行われるタングステン膜23Wの形成とを別の処理室において行うことも可能である。

## 【0087】

図18のクラスタ型基板処理装置200を使うことにより、処理室200BにおけるTaターゲット104のクリーニングの際に被処理基板が次の処理室200Cに送られているため被処理基板がクリーニング工程において汚染されることがなく、またプロセススループットを向上させることができる。

## [第4実施例]

次に、本発明の多層配線構造をデュアルダマシン法で形成された銅配線パターンを有する多層配線構造上に設けた、本発明の第4実施例による半導体装置の製造工程を、図19(A)～図27(L)を参照しながら説明する。

## 【0088】

図19(A)を参照するに、シリコン基板(図示せず)上の絶縁膜301上にはSiN膜302を介してSiO<sub>2</sub>などよりなる層間絶縁膜303が形成されており、前記層間絶縁膜303上には、所望の配線パターンに対応したレジストパターンR1が形成されている。

## 【0089】

次に図19(B)の工程において前記層間絶縁膜303が前記レジストパターンR1をマスクにパターンニングされ、前記層間絶縁膜303中には所望の配線パターンニングに対応した配線溝が形成される。さらにこのようにパターンニングされた層間絶縁膜303をTaバリアメタル膜304で覆った後、銅層305が前記配線溝を充填するように電解めっきなどにより形成される。

## 【0090】

さらに図20(C)の工程において前記銅層305およびその下のバリアメタル膜304が、前記層間絶縁膜303の表面が露出するまでCMP法により研磨・除去され、さらにこのようにして形成された構造上にSiNバリア膜305を介してSiO<sub>2</sub>などよりなる次の層間絶縁膜306が形成される。

## 【0091】

図20(C)の工程ではさらに前記層間絶縁膜306上にSiNバリア膜307を介してSiO<sub>2</sub>などよりなる次の層間絶縁膜308が形成されており、さら

に前記層間絶縁膜 3 0 8 上には所望のコンタクトホールに対応したレジストパターン R 2 が形成されている。

#### 【 0 0 9 2 】

次に図 2 0 (D) の工程において前記レジストパターン R 2 をマスクに前記層間絶縁膜 3 0 8 , バリア膜 3 0 7 および層間絶縁膜 3 0 6 を順次パターンニングしてコンタクトホール 3 0 8 C を前記 S i N バリア膜 3 0 5 が低部において露出するように形成した後、非感光性樹脂膜を塗布することにより、前記コンタクトホール 3 0 8 C を前記樹脂膜により充填する。さらに前記層間絶縁膜 3 0 8 上の樹脂膜を溶解除去することにより、前記コンタクトホール 3 0 8 C 中に樹脂保護部 3 0 8 R を残す。

#### 【 0 0 9 3 】

さらに図 2 0 (D) の工程では、前記層間絶縁膜 3 0 8 上に、前記層間絶縁膜 3 0 8 中に形成したい配線溝に対応したレジストパターン R 3 を形成する。

#### 【 0 0 9 4 】

次に図 2 1 (E) の工程において前記樹脂保護部 3 0 8 R によりコンタクトホール 3 0 8 C の内壁面を保護した状態で前記レジストパターン R 3 をマスクに前記層間絶縁膜 3 0 8 を前記 S i N バリア膜 3 0 7 が露出するまでパターンニングし、前記層間絶縁膜 3 0 8 中に所望の配線溝 3 0 8 G を形成する。

#### 【 0 0 9 5 】

さらに図 2 1 (E) の工程では前記層間絶縁膜 3 0 8 のパターンニングの後、前記樹脂保護部 3 0 8 R をアッシングプロセスにより除去する。

#### 【 0 0 9 6 】

さらに図 2 1 (F) の工程で、前記層間絶縁膜 3 0 8 を自己整合マスクに前記 S i N バリア膜 3 0 7 および 3 0 5 を、それぞれ前記配線溝 3 0 8 G およびコンタクトホール 3 0 8 C の底部から除去し、さらにこのようにして得られた構造の表面を T a バリアメタル膜 3 0 9 で覆った後、前記コンタクトホール 3 0 8 C および配線溝 3 0 8 G を充填するように銅層 3 1 0 を電解めっきなどにより形成する。

#### 【 0 0 9 7 】

次に図 2 2 (G) の工程において図 2 1 (G) の銅層 3 1 0 およびその下の T a バリアメタル膜 3 0 9 を、前記層間絶縁膜 3 0 8 の表面が露出するまで CMP 法により除去し、さらにこのようにして得られた構造上に S i N バリア膜 3 1 1 と S i O<sub>2</sub> などよりなる層間絶縁膜 3 1 2 を形成する。

#### 【0 0 9 8】

さらに図 2 2 (G) の工程では前記層間絶縁膜 3 1 2 上に、前記層間絶縁膜 3 1 2 中に形成したいビアホールに対応したレジストパターン R 4 が形成されている。

#### 【0 0 9 9】

さらに図 2 3 (H) の工程において前記層間絶縁膜 3 1 2 およびその下の S i N バリア膜 3 1 1 が前記レジストパターン R 4 をマスクにパターンニングされ、前記層間絶縁膜 3 1 2 中に所望のビアホール 3 1 2 V が形成される。

#### 【0 1 0 0】

本実施例では、このようにしてビアホール 3 1 2 V を形成された図 2 3 (H) の構造が先に図 9 で説明した反応性スパッタ装置 1 0 0 の処理室 1 0 1 中に導入され、先の実施例で説明したように金属 T a 膜を含まない T a N 膜よりなるバリアメタル層 3 1 3 が、前記層間絶縁膜 3 1 2 上に前記ビアホール 3 1 2 V の側壁面および底面を連続して覆うように形成される。

#### 【0 1 0 1】

さらに図 2 4 (I) の工程では前記 T a N バリアメタル膜 3 1 3 上に T i N バリアメタル膜 3 1 4 がやはり反応性スパッタにより形成され、さらに図 2 5 (J) の工程において前記図 2 4 (I) の構造上にタンゲステン膜 3 1 5 を C V D 法により、前記タンゲステン膜 3 1 5 が前記ビアホール 3 1 2 V を充填するように形成する。図 2 5 (J) の工程において前記タンゲステン膜 3 1 5 を堆積する際には、最初に先に説明した A L D 法により、薄いタンゲステン核生成層 3 1 5 a を形成し、その後で通常の C V D 法によりタンゲステン膜 3 1 5 を堆積するのが好ましい。

#### 【0 1 0 2】

さらに図 2 6 (K) の工程において前記タンゲステン膜 3 1 5 およびその下の

TiN膜314、TaN313を前記層間絶縁膜312の表面が露出するまでCMP法により研磨・除去し、前記ビアホール312V中にタングステンビアプラグ315Wを形成する。

#### 【0103】

さらに図26(K)の工程では前記層間絶縁膜312上にTiNバリアメタル膜316aを介してアルミニウムあるいはアルミニウム-銅合金よりなる導体膜316bを形成し、さらに前記導体膜316b上に別のTiNバリアメタル膜316cを形成する。前記導体膜316bは、前記TiNバリアメタル膜316aおよび316cとともに、配線層316を形成する。

#### 【0104】

図26(K)の状態では、さらに形成したい配線パターンに対応したレジストパターンR5が前記配線層316上に形成されており、図37(L)の工程において前記配線層316が前記レジストパターンR5をマスクにドライエッチング等によりパターニングされ、配線パターン316A、316Bが、前記タングステンプラグ315W上に形成される。

#### 【0105】

さらに図26(K)の工程では、前記層間絶縁膜312上に前記配線パターン316A、316Bを覆うようにSiO<sub>2</sub>などの層間絶縁膜317が堆積され、前記層間絶縁膜317の表面にはSiNなどのパッシベーション膜318が形成されている。

#### 【0106】

本実施例においても図24(I)の工程において前記TaNバリアメタル膜313を形成する際、ターゲットクリーニングの間に被処理基板を次工程に送るなどして反応性スパッタ装置100の外に退避させることにより、TaNバリアメタル膜313の表面にTa金属膜が形成されるのが抑制され、バリアメタル膜313中における欠陥の発生が抑制される。

#### 【0107】

また図25(J)のタングステン膜315を堆積する工程、特にTiNバリアメタル膜314表面へのALDプロセスを使った核生成層315aの堆積工程に

において被処理基板の表面に水素ガスを供給することにより、前記タングステンプラグ 315W とコンタクトする銅配線パターンの腐食を抑制することができる。

#### [第 5 実施例]

図 28 は、このようにして形成された多層配線構造を有する本発明の第 5 実施例による半導体装置の構成を示す図である。

#### 【0108】

図 28 を参照するに、シリコン基板 401 上には S T I 構造 402 により素子領域 401A が画成されており、前記素子領域 401A 中には前記シリコン基板 401 上にゲート電極 403 がゲート絶縁膜 403A を介して形成されている。

#### 【0109】

前記ゲート電極 403 の両側壁面上には側壁絶縁膜が形成されており、さらに前記シリコン基板 401 中には前記ゲート電極 403 の両側に L D D 領域 401a, 401b が形成されている。また前記シリコン基板 401 中には前記側壁絶縁膜の外側にソース領域あるいはドレイン領域を形成する拡散領域 401c、401d が形成されている。また前記シリコン基板 401 の表面は、前記ゲート電極 403 およびその側壁絶縁膜の形成部分を除き、S i N 膜 404 により一様に覆われている。

#### 【0110】

さらに前記 S i N 膜 404 上には前記ゲート電極 403 および側壁絶縁膜を覆うように S i O<sub>2</sub> などよりなる層間絶縁膜 405 が形成されており、前記層間絶縁膜 405 中には前記拡散領域 401c, 401d を露出するコンタクトホール 405A, 405B が形成されている。

#### 【0111】

前記コンタクトホール 405A, 405B の側壁面および底面は T a N 膜および T i N 膜を積層したバリアメタル膜 406 により覆われ、さらに前記コンタクトホール 405A, 405B は前記バリアメタル膜を介してタングステンプラグ 407 により充填されている。

#### 【0112】



さらに前記層間絶縁膜 405 上には先の実施例で説明したようなダマシン法あるいはデュアルダマシン法により、層間絶縁膜中に銅配線パターンが埋め込まれた銅配線構造 408, 409, 410 が順次形成されており、前記銅配線構造 410 上には層間絶縁膜 411 中に TaN 膜と TiN 膜とを積層した導電性窒化物膜よりなるバリアメタル膜 412 で側壁面および底面が連続的に覆われたビアホール中に、タングステンよりなる導電性プラグ 413 が形成されている。

#### 【0113】

さらに前記層間絶縁膜 411 上にはアルミニウムあるいはアルミニウム合金よりなる導体膜を TiN バリアメタル膜で挟持した構成の配線パターン 414A, 414B が形成されており、さらに前記層間絶縁膜 411 上には前記配線パターン 414A, 414B を覆うように層間絶縁膜 415 が形成されている。

#### 【0114】

さらに前記層間絶縁膜 415 の表面は、SiN などよりなるパッシベーション膜 416 により覆われている。

#### 【0115】

本実施例においては、前記バリアメタル膜 406 あるいは 412 を金属膜あるいは金属部分を実質的に含まない窒化物膜とすることにより、ビアホールをタングステン膜で充填する際にバリアメタル膜に生じやすい欠陥の発生を効果的に抑制することができる。

#### 【0116】

また本実施例においても、前記タングステンプラグ 407 あるいは 413 を形成する際に、少なくとも核生成層部分を ALD 法などにより形成する際に水素ガスを同時に供給することにより、タングステンプラグ下の銅配線パターンあるいはバリアメタル膜の腐食を抑制することが可能になる。

#### 【0117】

なお、以上の説明では特に Ta を構成元素として含むバリアメタル膜を例に説明したが、本発明は Ta に限定されるものではなく、他の金属元素、例えば Ti を構成元素として含むバリアメタル膜を使ってタングステンプラグを形成する場合にも適用可能である。すなわちこのような場合でも、バリアメタル膜はビアホ

ールのアスペクト比が大きくなると、窒化膜のみにより形成するのが好ましい。  
また以上では本発明をタングステンプラグの下層に設けられる導体パターンが銅配線パターンである場合について説明したが、A 1 など、他の配線パターンである場合においても有効である。

#### 【0 1 1 8】

以上、本発明を好ましい実施例について説明したが、本発明は上記の実施例に限定されるものではなく、特許請求の範囲に記載した要旨内において様々な変形・変更が可能である。

#### 【0 1 1 9】

(付記 1) 銅配線パターンを含む第 1 の配線層と、  
前記第 1 の配線層上に形成された層間絶縁膜と、  
前記層間絶縁膜上に形成された第 2 の配線層と、  
前記層間絶縁膜中に前記銅配線パターンを露出するように形成されたビアホールと、

前記ビアホール中に形成され、前記第 1 の配線層と前記第 2 の配線層とを電気的に接続するタングステンプラグとよりなる多層配線構造であって、

前記ビアホールは、深さ／径比が 1. 2 5 以上の値を有し、

前記タングステンプラグの外壁面と前記ビアホールの内壁面との間には、前記タングステンプラグの外壁面に接する内壁面と、前記ビアホールの内壁面に接する外壁面とにより画成された導電性窒化物膜が形成されていることを特徴とする多層配線構造。

#### 【0 1 2 0】

(付記 2) 前記導電性窒化膜は、T a N 膜を含むことを特徴とする付記 1 記載の多層配線構造。

#### 【0 1 2 1】

(付記 3) 前記導電性窒化膜は、第 1 の窒化物膜と、前記第 1 の窒化物膜の内側に積層された第 2 の窒化物膜とよりなることを特徴とする付記 1 または 2 記載の多層配線構造。

#### 【0 1 2 2】

(付記 4) 前記第 1 の窒化物膜は T a N 膜よりなり、前記第 2 の窒化物膜は T i N 膜よりなることを特徴とする付記 3 記載の多層配線構造。

【 0 1 2 3 】

(付記 5) 前記窒化物膜は、前記タングステンプラグを形成する際に使われるタングステンのフッ化物気相原料に対して腐食耐性を示すような組成を有することを特徴とする付記 1 ～ 4 のうち、いずれか一項記載の多層配線構造。

【 0 1 2 4 】

(付記 6) 前記第 2 の配線層はアルミニウム配線パターンを含むことを特徴とする付記 1 ～ 5 のうち、いずれか一項記載の多層配線構造。

【 0 1 2 5 】

(付記 7) 銅配線パターンを含む第 1 の配線層上に層間絶縁膜を形成する工程と、

前記層間絶縁膜中に、前記銅配線パターンを露出するようにビアホールを形成する工程と、

前記被処理基板を反応性スパッタ装置中に導入し、前記反応性スパッタ装置中において前記層間絶縁膜上に、前記ビアホール内壁面を覆うように窒化物膜を反応性スパッタリングにより形成する工程と、

前記窒化物膜の形成工程の後、前記ビアホールを充填するように前記層間絶縁膜上にタングステンプラグを形成する工程と、

前記タングステンプラグ形成工程の後、前記層間絶縁膜上に第 2 の配線層を形成する工程とよりなる多層配線構造の形成方法であって、

前記窒化物膜を形成する工程の後、前記タングステンプラグを形成する工程より前に、前記被処理基板を前記反応性スパッタ装置中に設けられたスパッタターゲットから隔離する工程を含み、

前記窒化物膜を形成する工程の後、前記被処理基板を前記スパッタターゲットから隔離した状態で、前記反応性スパッタ装置中において前記スパッタターゲット表面をクリーニングすることを特徴とする多層配線構造の形成方法。

【 0 1 2 6 】

(付記 8) 前記クリーニング工程は、前記スパッタターゲット表面の窒化膜

が除去され前記スパッタターゲットを構成する金属の表面が露出するように実行されることを特徴とする付記 7 記載の多層配線構造の形成方法。

#### 【0 1 2 7】

(付記 9) 前記クリーニング工程は、前記スパッタターゲット表面に前記金属表面が露出した後、窒化膜の反応性スパッタを行うことで終了されることを特徴とする付記 8 記載の多層配線構造の形成方法。

#### 【0 1 2 8】

(付記 1 0) 前記被処理基板を隔離する工程は、前記被処理基板を前記反応性スパッタ装置から外部に取り出す工程よりなることを特徴とする付記 7 または 8 記載の多層配線構造の形成方法。

#### 【0 1 2 9】

(付記 1 1) 前記スパッタ装置は、前記スパッタ装置に結合された真空搬送室および前記真空搬送室に結合された別の処理室と共に枚葉式処理装置を構成し、前記被処理基板を前記スパッタ装置から外部に取り出す工程は、前記被処理基板を前記真空搬送室を介して前記別の処理室に移動させる工程を含むことを特徴とする付記 1 0 記載の多層配線構造の形成方法。

#### 【0 1 3 0】

(付記 1 2) 前記別の処理室は、タンゲステン膜成膜を行う C V D 装置を含むことを特徴とする付記 1 1 記載の多層配線構造の形成方法。

#### 【0 1 3 1】

(付記 1 3) 前記被処理基板を隔離する工程は、前記反応性スパッタ装置内において前記被処理基板と前記スパッタターゲットとの間にシャッタを導入する工程を含むことを特徴とする付記 7 ～ 9 のうち、いずれか一項記載の多層配線構造の形成方法。

#### 【0 1 3 2】

(付記 1 4) 前記窒化物膜を形成する工程は、前記被処理基板を前記反応性スパッタ装置内に導入した後、プラズマを発生させるに先立って、前記被処理基板表面に窒素ガスを導入する工程を含むことを特徴とする付記 7 ～ 1 3 のうち、いずれか一項記載の多層配線構造の形成方法。

## 【0133】

(付記15) 前記タングステンプラグを形成する工程は、タングステンのフッ化物気相原料を使ったCVD法により、前記ビアホールを、前記窒化物膜を介してタングステン膜で充填する工程を含み、前記ビアホールを前記タングステン膜で充填する工程は、水素ガスを前記被処理基板表面に供給しながら実行されることを特徴とする付記7～14のうち、いずれか一項記載の多層配線構造の形成方法。

## 【0134】

(付記16) 前記タングステンプラグを形成する工程は、前記ビアホールの表面に、タングステンのフッ化物気相原料と、前記フッ化物気相原料を分解する反応性ガスとを交互に、間にパージ工程を挟みながら供給し、前記ビアホールの内壁面を覆う窒化物膜上にタングステンのパッシベーション膜を形成する工程と、前記パッシベーション膜上にタングステン膜をCVD法により堆積する工程とよりなり、少なくとも前記パッシベーション膜を形成する工程は、水素ガスを前記被処理基板表面に供給しながら実行されることを特徴とする付記7～14のうち、いずれか一項記載の多層配線構造の形成方法。

## 【0135】

(付記17) 前記タングステンプラグを形成する工程は、タングステン膜の堆積に先立って前記ビアホールの表面を、水素を含むガスのプラズマにより処理する工程を含むことを特徴とする付記7～16のうち、いずれか一項記載の多層配線構造の形成方法。

## 【0136】

(付記18) 基板と、前記基板上に形成された多層配線構造とを含む半導体装置であって、前記多層配線構造は、

銅配線パターンを含む第1の配線層と、

前記第1の配線層上に形成された層間絶縁膜と、

前記層間絶縁膜上に形成された第2の配線層と、

前記層間絶縁膜中に前記銅配線パターンを露出するように形成されたビアホールと、

前記ビアホール中に形成され、前記第 1 の配線層と前記第 2 の配線層とを電氣的に接続するタングステンプラグとよりなる多層配線構造であって、

前記ビアホールは、深さ／径比が 1.25 以上の値を有し、

前記タングステンプラグの外壁面と前記ビアホールの内壁面との間には、前記タングステンプラグの外壁面に接する内壁面と、前記ビアホールの内壁面に接する外壁面とにより画成された導電性窒化物膜が形成されていることを特徴とする半導体装置。

#### 【0137】

##### 【発明の効果】

本発明によれば、タングステンプラグを覆うバリアメタル膜を全て窒化膜とすることにより、ビアホールのアスペクト比が大きくなりビアホール内においてバリアメタル膜を構成する導電性窒化物膜のステップカバレッジが劣化した場合でも、Ta などの金属膜が露出することがない。このため、WF<sub>6</sub>など反応性の大きなフッ化物原料を使ってタングステン膜を堆積した場合にもバリアメタル膜が腐食されることがなく、コンタクト構造における欠陥の発生を効果的に抑制できる。反応性スパッタにより形成されるバリアメタル膜を、金属膜を含まないように形成するために、本発明では TaN などの窒化物バリアメタル膜の反応性スパッタによる堆積の後で発塵を抑制するために行われるスパッタターゲットのクリーニングプロセスを、窒化物膜が形成された被処理基板が前記スパッタターゲットから隔離された状態で行うため、クリーニングプロセスの間に窒化物バリアメタル膜上に金属膜が堆積することがなく、後でこのように窒化物バリアメタル膜を形成されたビアホールを WF<sub>6</sub>などのフッ化物気相原料を使った CVD 法によりタングステン膜で充填しても、バリアメタル膜に腐食が生じることがない。特に枚葉処理装置を使い、前記クリーニングプロセスの間に被処理基板を次の処理室に送ることにより、クリーニングプロセスと平行して次のプロセスを実行することが可能になり、多層配線構造形成の際のスループットを向上させることができる。

#### 【0138】

また本発明によれば、バリアメタル膜が形成されたビアホールを、WF<sub>6</sub>など

フッ化物気相原料を使ったCVD法によりタングステン膜により充填する場合、堆積プロセスを、水素ガスを供給しながら行うことにより、あるいは堆積に先立って下地構造を水素を含むガスのプラズマにより処理することにより、フッ化物気相原料と銅配線パターンとの間の反応が抑制され、銅配線パターンの腐食の問題を効果的に抑制することが可能になる。

【図面の簡単な説明】

【図 1】

タングステンプラグにTa<sub>2</sub>N<sub>5</sub>/Ta/TiN積層構造を有するバリアメタル膜を使った従来の多層配線構造の構成を示す図である。

【図 2】

(A)，(B)は、図1の多層配線構造の形成工程を示す図（その1）である。

【図 3】

(C)，(D)は、図1の多層配線構造の形成工程を示す図（その2）である。

【図 4】

(E)は、図1の多層配線構造の形成工程を示す図（その5）である。

【図 5】

(A)，(B)は、従来の問題点を示す図である。

【図 6】

本発明の第1実施例による多層配線構造の構成を示す図である。

【図 7】

(A)，(B)は、図6の多層配線構造の形成工程を示す図（その1）である。

【図 8】

(C)，(D)は、図6の多層配線構造の形成工程を示す図（その2）である。

【図 9】

本発明で使われる反応性スパッタ装置の概略的構成を示す図である。

**【図 10】**

(A), (B) は、図 9 の反応性スパッタ装置において使われている従来のスパッタレシピの例、および本発明第 1 実施例によるスパッタレシピの例をそれぞれ示す図である。

**【図 11】**

本発明のスパッタレシピに対応するスパッタ工程を示す図である。

**【図 12】**

本発明の第 2 実施例によるタングステン膜の成膜工程の概要を示す図である。

**【図 13】**

(A), (B) は、本発明の第 2 実施例によるタングステン膜の堆積工程を示す図である。

**【図 14】**

図 13 (A) の工程で使われる ALD プロセスレシピの例を示す図である。

**【図 15】**

(A) ~ (D) は、ALD プロセスによるタングステン核生成層形成時のプロセス条件を様々に変化させた場合のビアホール表面のバリアメタル膜およびタングステン核生成層によるステップカバレッジの状態を示す図である。

**【図 16】**

(A), (B) は、本発明の多層配線構造におけるチェーン抵抗の分布を、従来技術により形成した多層配線構造のチェーン抵抗の分布と比較して示す図である。

**【図 17】**

本発明第 2 実施例の一変形例による、タングステン膜堆積に先立って実行される前処理プラズマ工程のレシピを示す図である。

**【図 18】**

本発明の第 3 実施例において使われるクラスタ型基板処理装置の構成を示す図である。

**【図 19】**

(A), (B) は、本発明の第 4 実施例による半導体装置の製造工程を示す図



(その 1) である。

**【図 2 0】**

(C), (D) は、本発明の第 4 実施例による半導体装置の製造工程を示す図 (その 2) である。

**【図 2 1】**

(E), (F) は、本発明の第 4 実施例による半導体装置の製造工程を示す図 (その 3) である。

**【図 2 2】**

(G) は、本発明の第 4 実施例による半導体装置の製造工程を示す図 (その 4) である。

**【図 2 3】**

(H) は、本発明の第 4 実施例による半導体装置の製造工程を示す図 (その 5) である。

**【図 2 4】**

(I) は、本発明の第 4 実施例による半導体装置の製造工程を示す図 (その 6) である。

**【図 2 5】**

(J) は、本発明の第 4 実施例による半導体装置の製造工程を示す図 (その 7) である。

**【図 2 6】**

(K) は、本発明の第 4 実施例による半導体装置の製造工程を示す図 (その 8) である。

**【図 2 7】**

(L) は、本発明の第 4 実施例による半導体装置の製造工程を示す図 (その 9) である。

**【図 2 8】**

本発明の第 5 実施例による半導体装置の構成を示す図である。

**【符号の説明】**

1 1, 2 1 層間絶縁膜

1 1 A, 2 1 A バリアメタル膜  
1 1 C u, 2 1 C u 銅配線パターン  
1 1 G, 2 1 G 配線溝  
1 1 X, 1 2 X 欠陥  
1 2, 2 2 層間絶縁膜  
1 2 A, 1 2 B, 2 2 A バリアメタル膜  
1 2 N, 2 2 N バリア膜  
1 2 V, 2 2 V ビアホール  
1 2 W, 2 2 W タングステン膜、タングステンプラグ  
1 2 a, 2 2 a T a N膜  
1 2 b T a膜  
1 3 タングステン膜  
1 3 A, 2 3 A 密着膜  
1 3 B, 2 3 B バリアメタル膜  
1 3, 2 3 アルミニウム配線パターン  
1 3 C, 2 3 C バリアメタル膜  
2 2 b T i N膜  
2 3 W<sub>1</sub> タングステン核生成層  
1 0 0 反応性スパッタ装置  
1 0 1 処理室  
1 0 2 被処理基板  
1 0 3 基板保持台  
1 0 4 ターゲット  
1 0 5 直流バイアス電源  
1 0 6 交流バイアス電源  
1 0 7 プラズマ  
1 0 8 シャッタ  
2 0 0 クラスタ型処理装置  
2 0 0 A ロードロック室

200B TaN膜堆積室  
200C TiN膜堆積室  
200D タングステン膜CVD室  
201 真空基板搬送室  
301 絶縁膜  
302, 305, 307 SiN膜  
303, 306, 308, 312, 317, 405, 411, 415 層間絶縁膜  
304, 309 Taバリアメタル膜  
305, 310 銅層  
308C コンタクトホール  
308G 配線溝  
308R 樹脂保護部  
312V ビアホール  
313 TaNバリアメタル膜  
314 TiNバリアメタル膜  
315 タングステン膜  
315W タングステンプラグ  
316 配線層  
316A, 316B, 414A, 414B アルミニウム配線パターン  
316a, 316c TiNバリアメタル膜  
316b アルミニウム膜  
318, 416 パッシベーション膜  
401 シリコン基板  
401A 素子領域  
401a, 401b LDD構造  
401c, 401d ソース・ドレイン拡散領域  
402 素子分離構造  
403 ゲート電極

4 0 3 A ゲート絶縁膜

4 0 4 S i N 膜

4 0 5 絶縁膜

4 0 5 A, 4 0 5 B コンタクトホール

4 0 6, 4 1 2 T a N / T i N バリアメタル膜

4 0 7, 4 1 3 タングステンプラグ

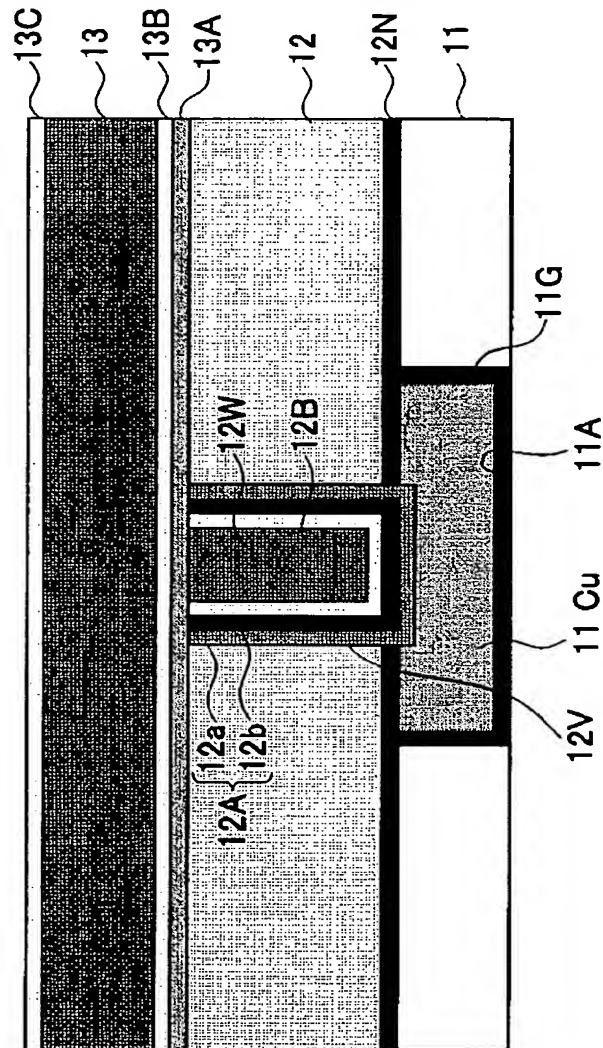
4 0 8 ~ 4 1 0 銅配線層

R 1 ~ R 5 レジストパターン

【書類名】 図面

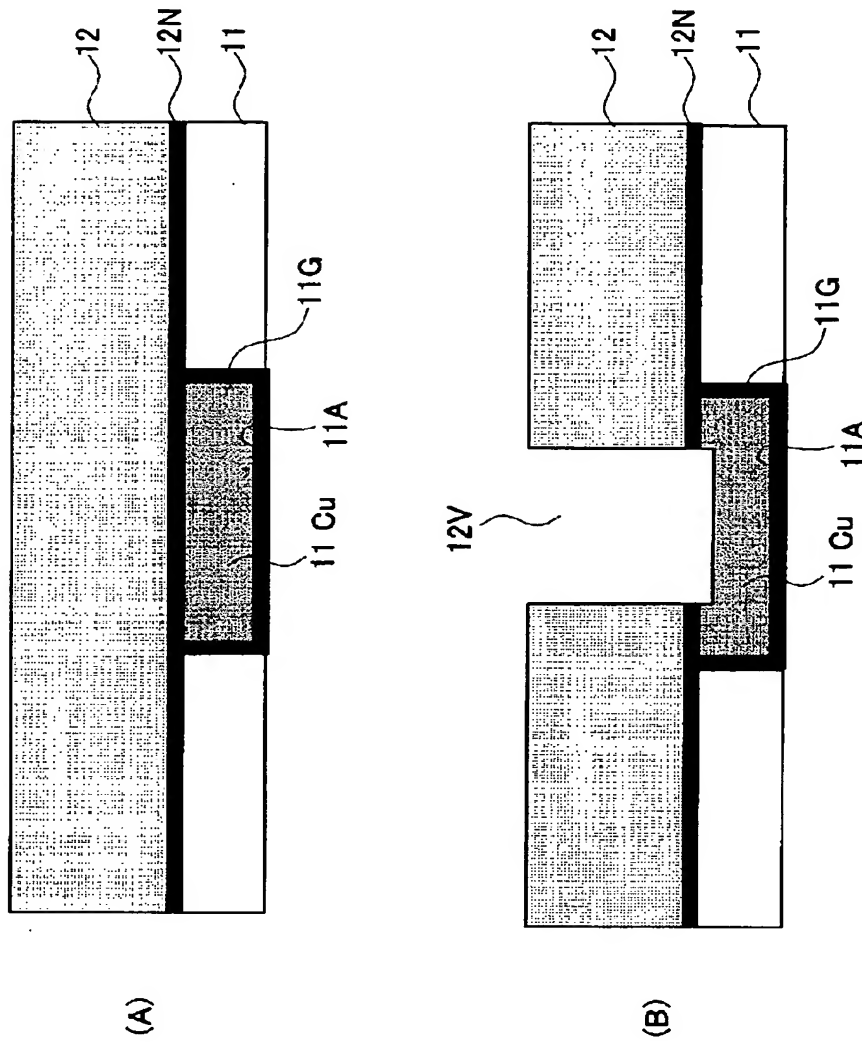
【図 1】

タングステンプラグにTaN/Ta/TiN積層構造を有する  
バリアメタル膜を使った従来の多層配線構造の構成を示す図



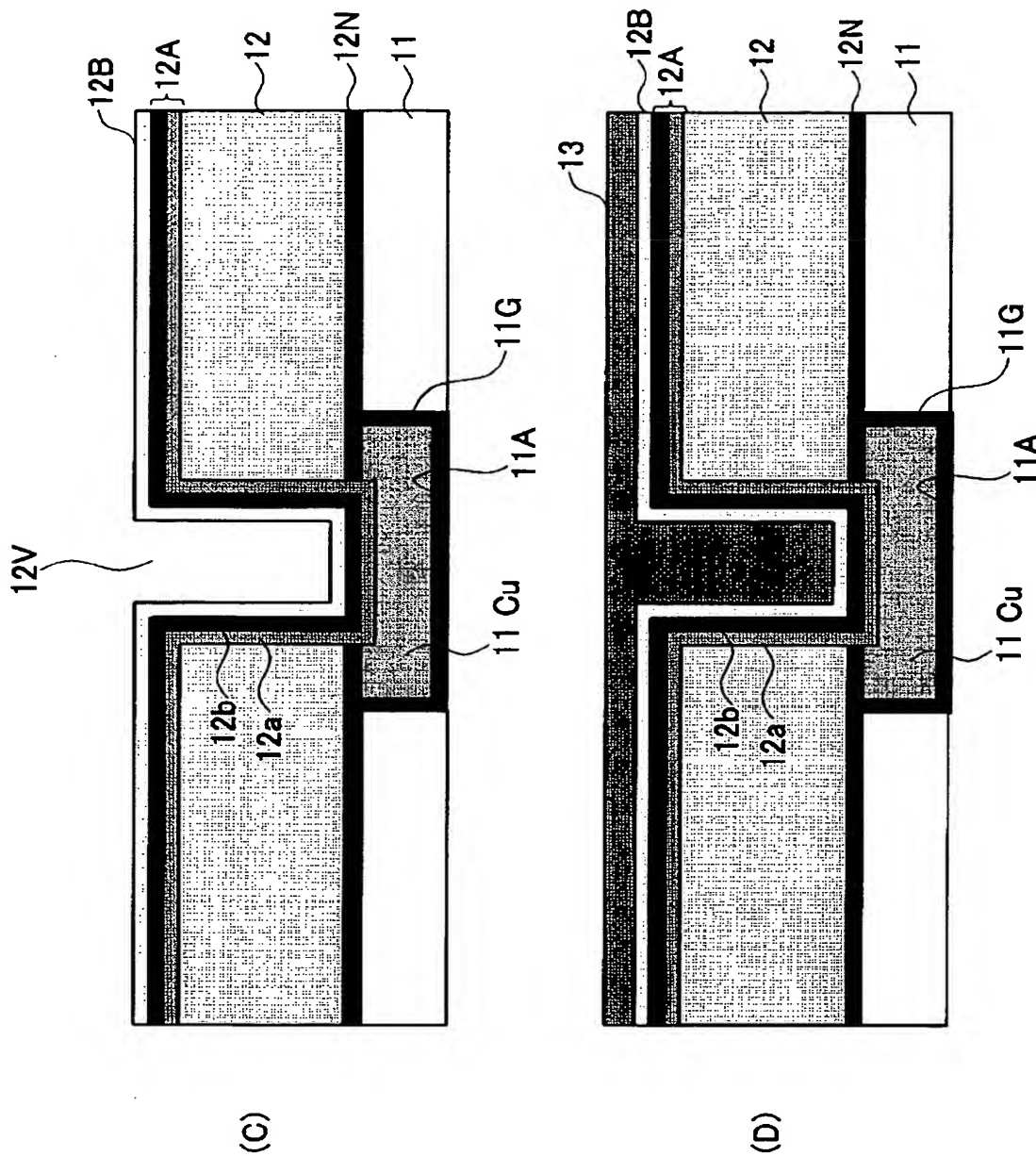
【図 2】

(A),(B)は図1の多層配線構造の形成工程を示す図(その1)



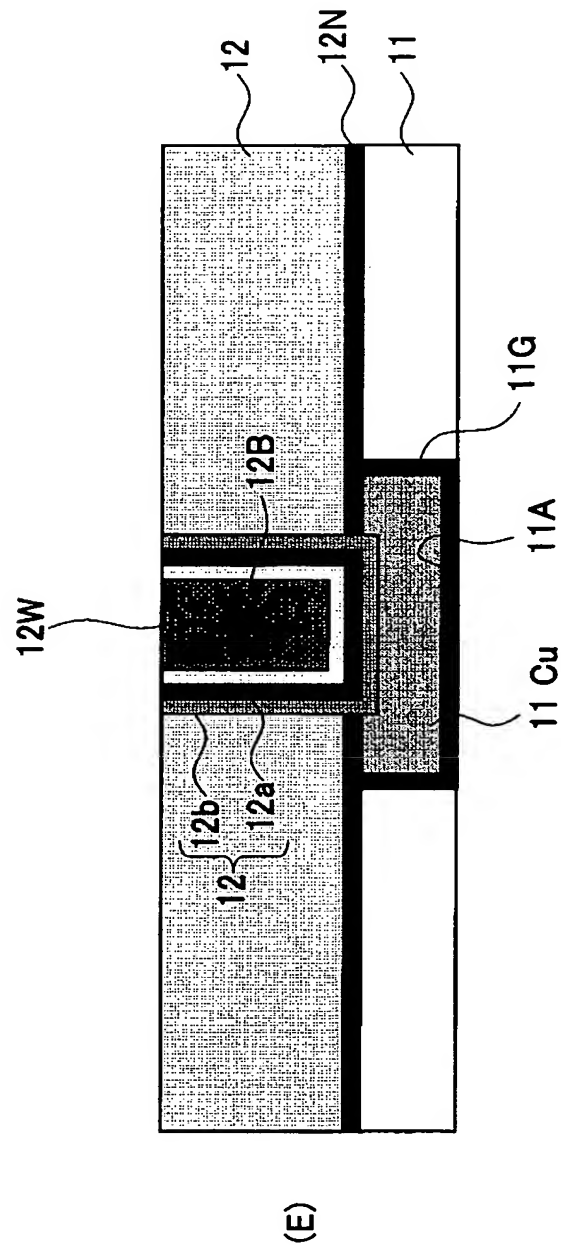
【図3】

(C),(D)は図1の多層配線構造の形成工程を示す図(その2)



【図 4】

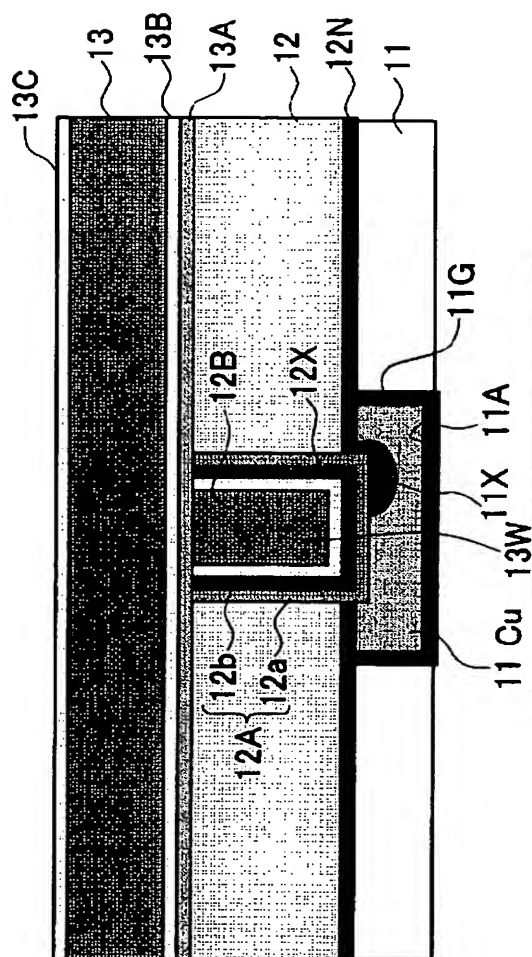
(E)は図1の多層配線構造の形成工程を示す図(その5)



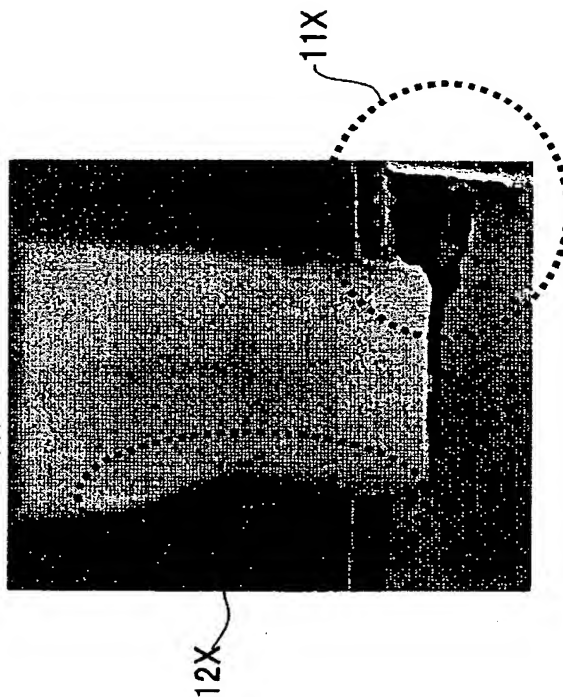


【図 5】

(A), (B)は従来の問題点を示す図



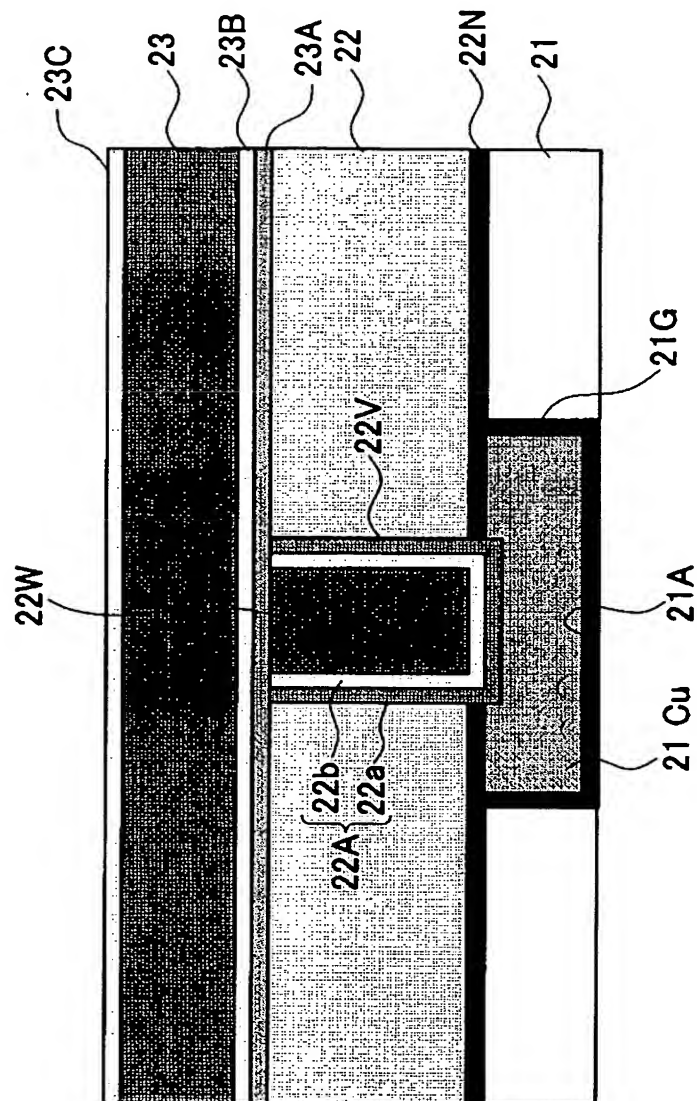
(A)



(B)

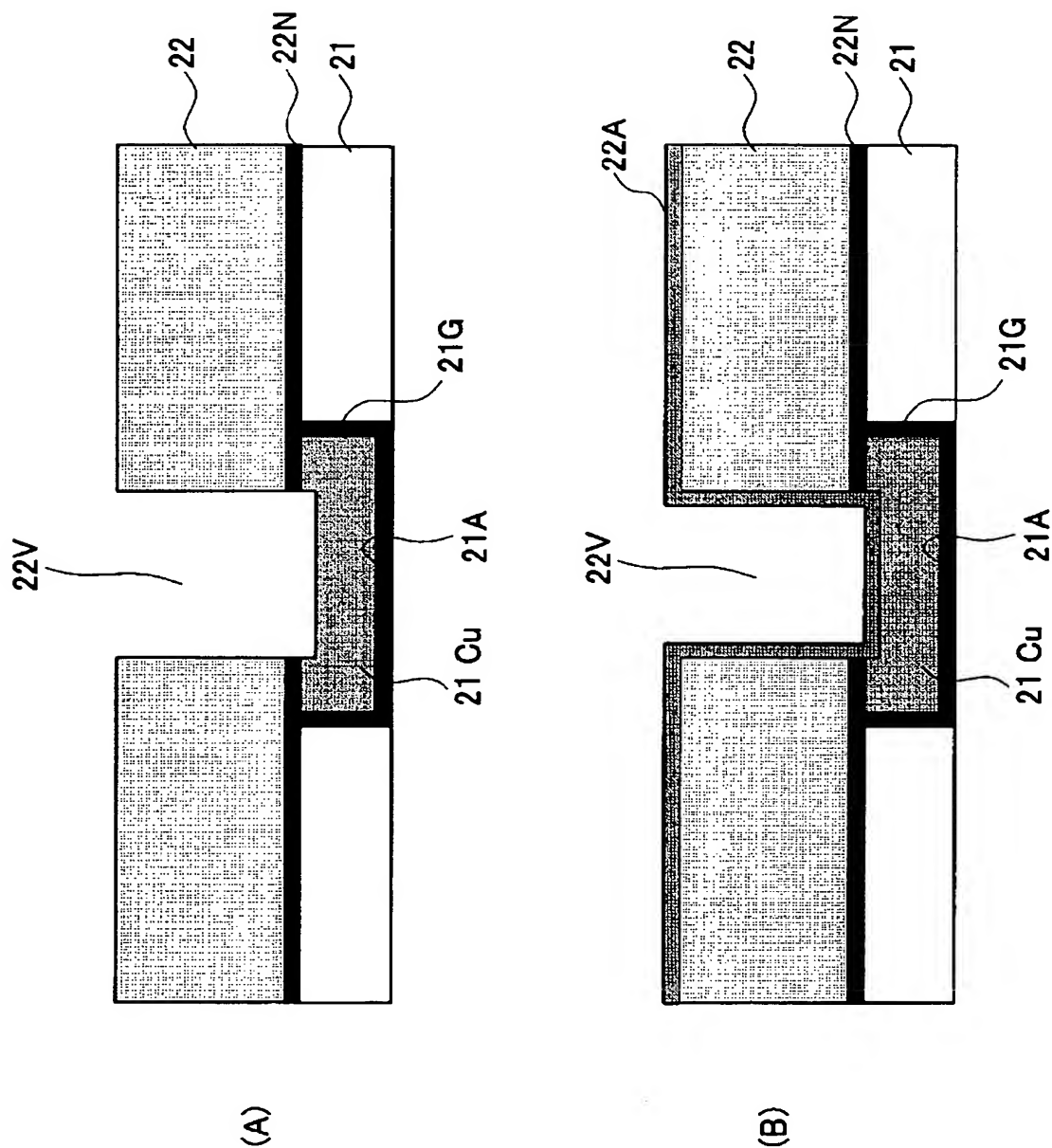
【図 6】

本発明の第1実施例による多層配線構造の構成を示す図



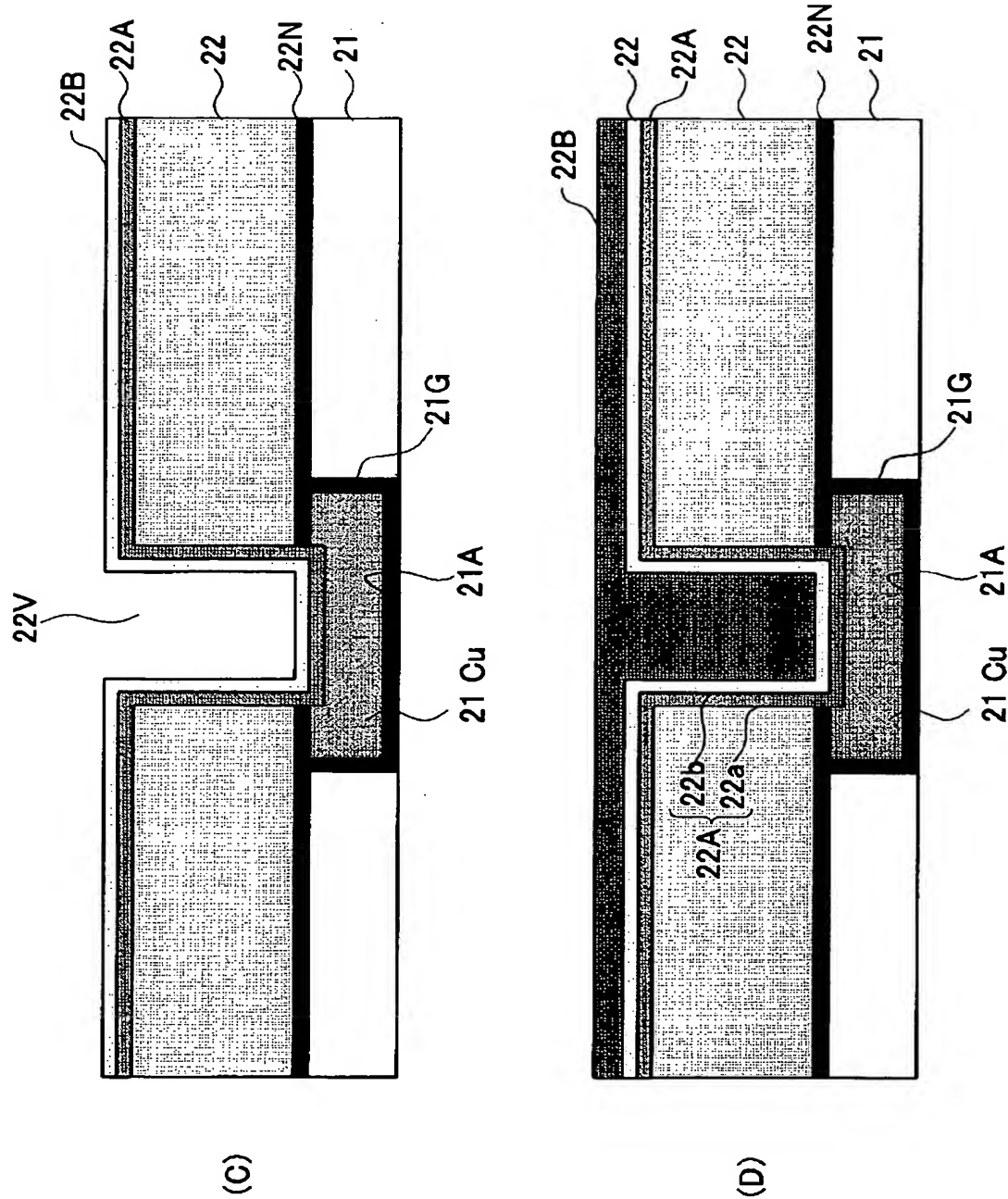
【図 7】

(A),(B)は図6の多層配線構造の形成工程を示す図(その1)



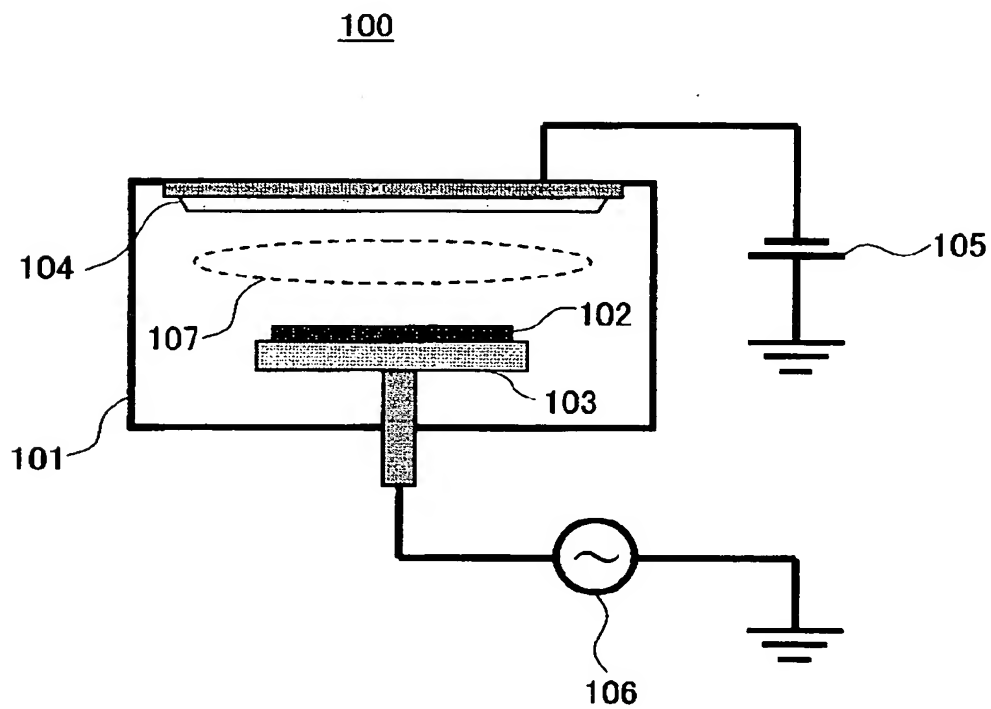
【図 8】

(C),(D)は図6の多層配線構造の形成工程を示す図(その2)



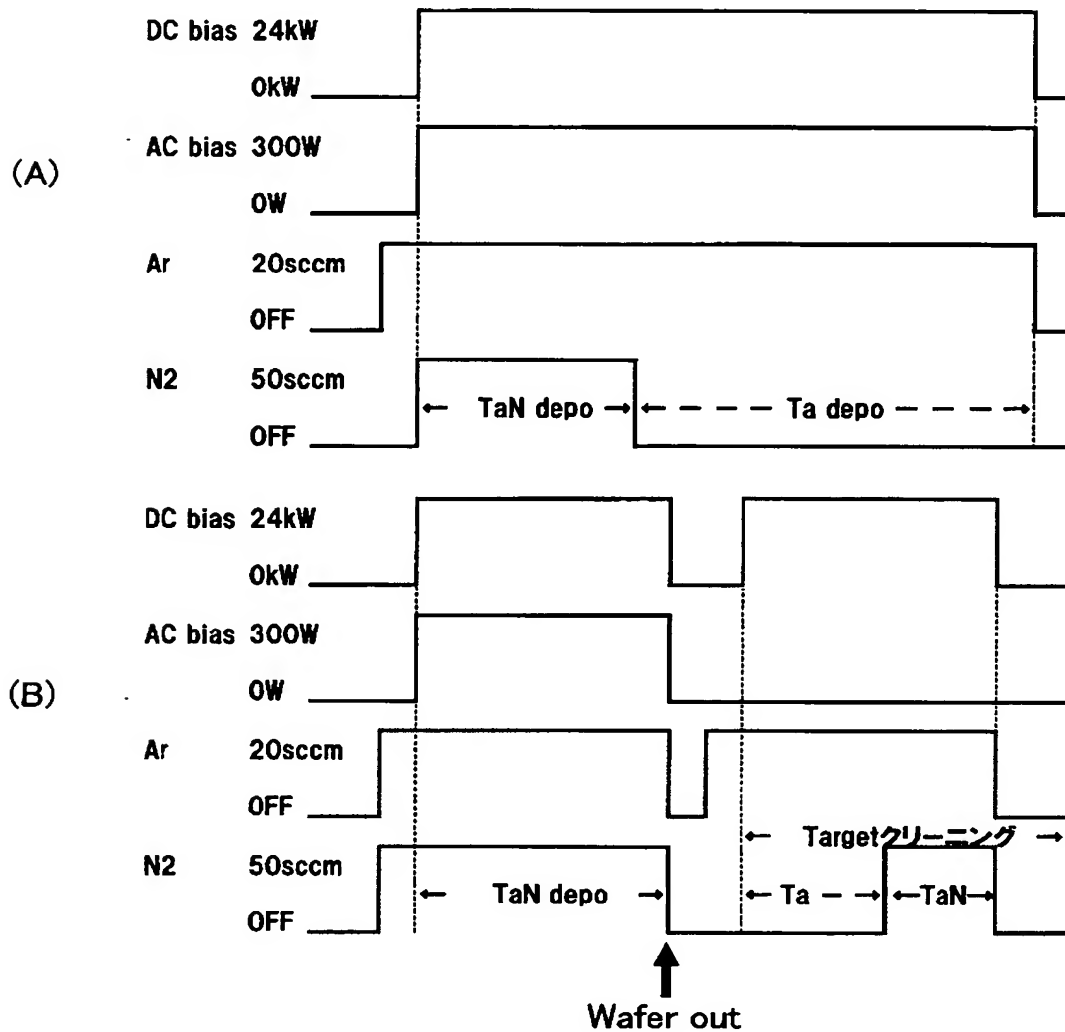
【図 9】

本発明で使われる反応性スパッタ装置の概略的構成を示す図



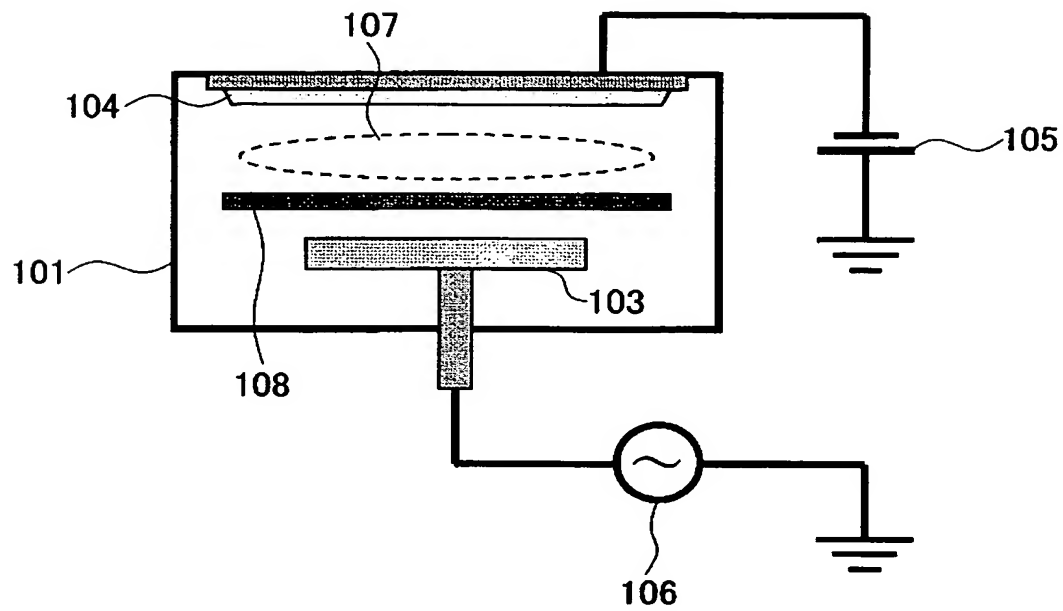
【図10】

(A),(B)は図9の反応性スパッタ装置において使われている従来のスパッタレシピの例、および本発明第1実施例によるスパッタレシピの例をそれぞれ示す図



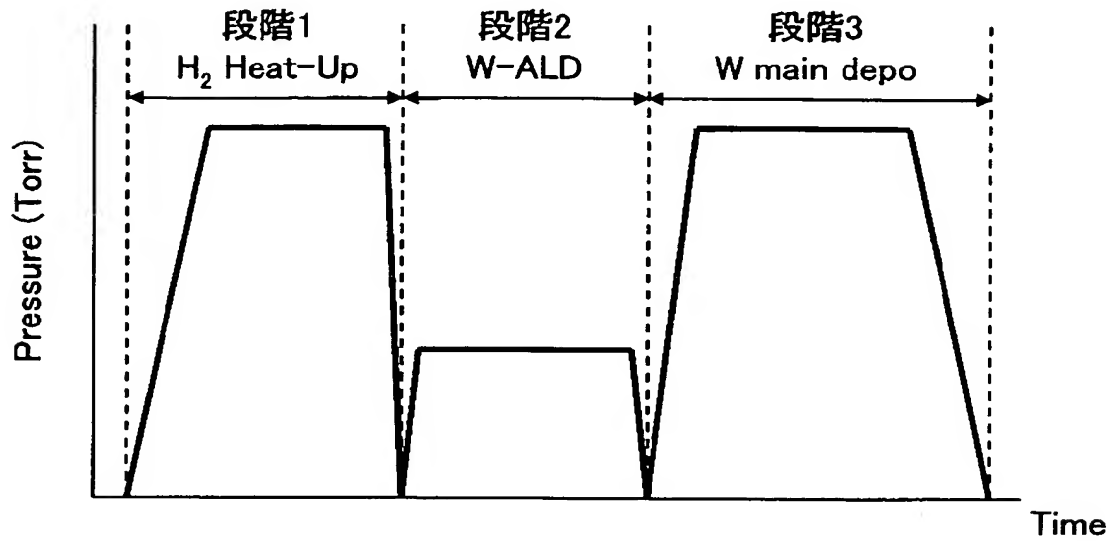
【図 11】

本発明のスパッタレシピに対応するスパッタ工程を示す図



【図 12】

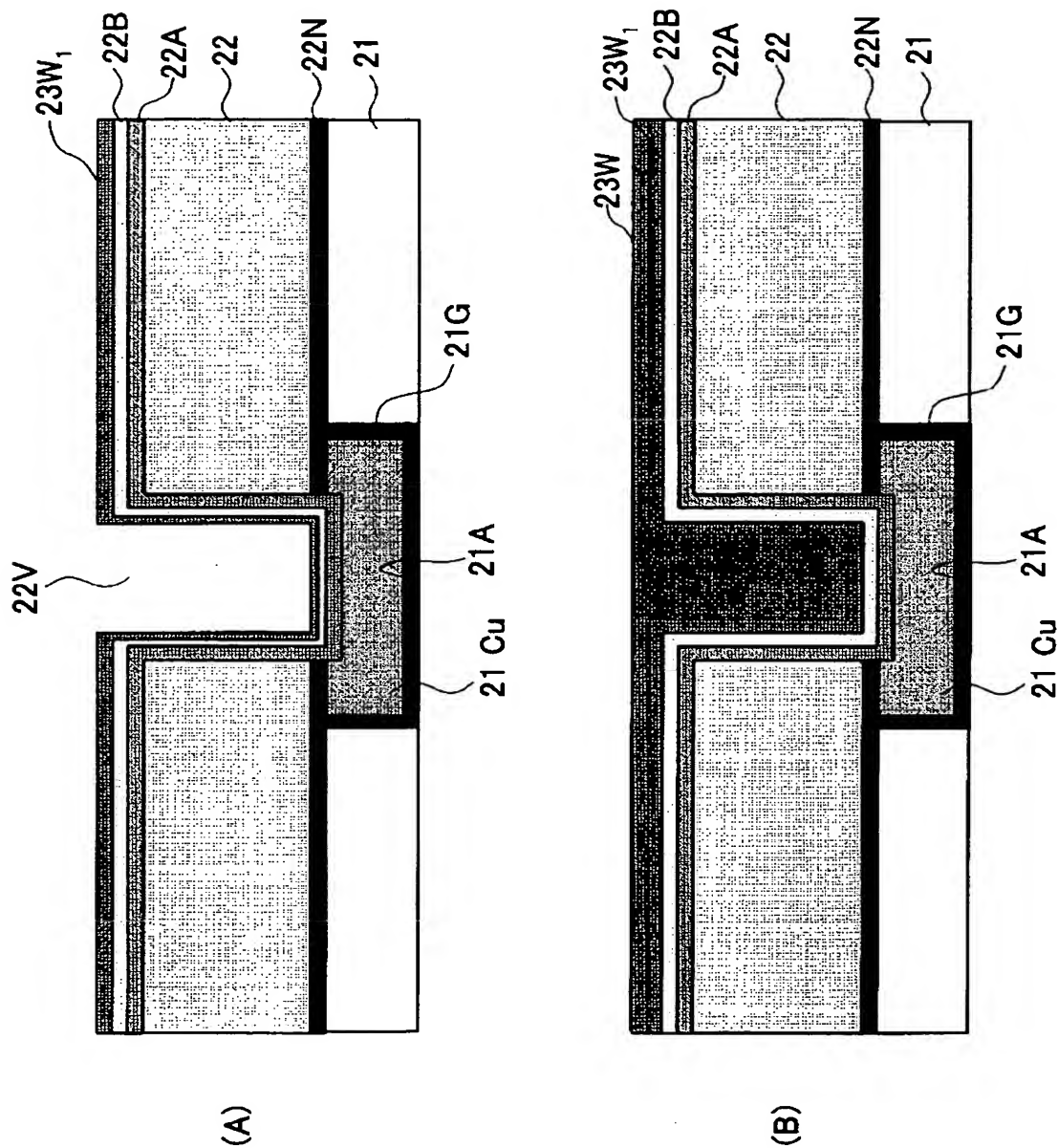
本発明の第2実施例によるタンゲステン膜の  
成膜工程の概要を示す図





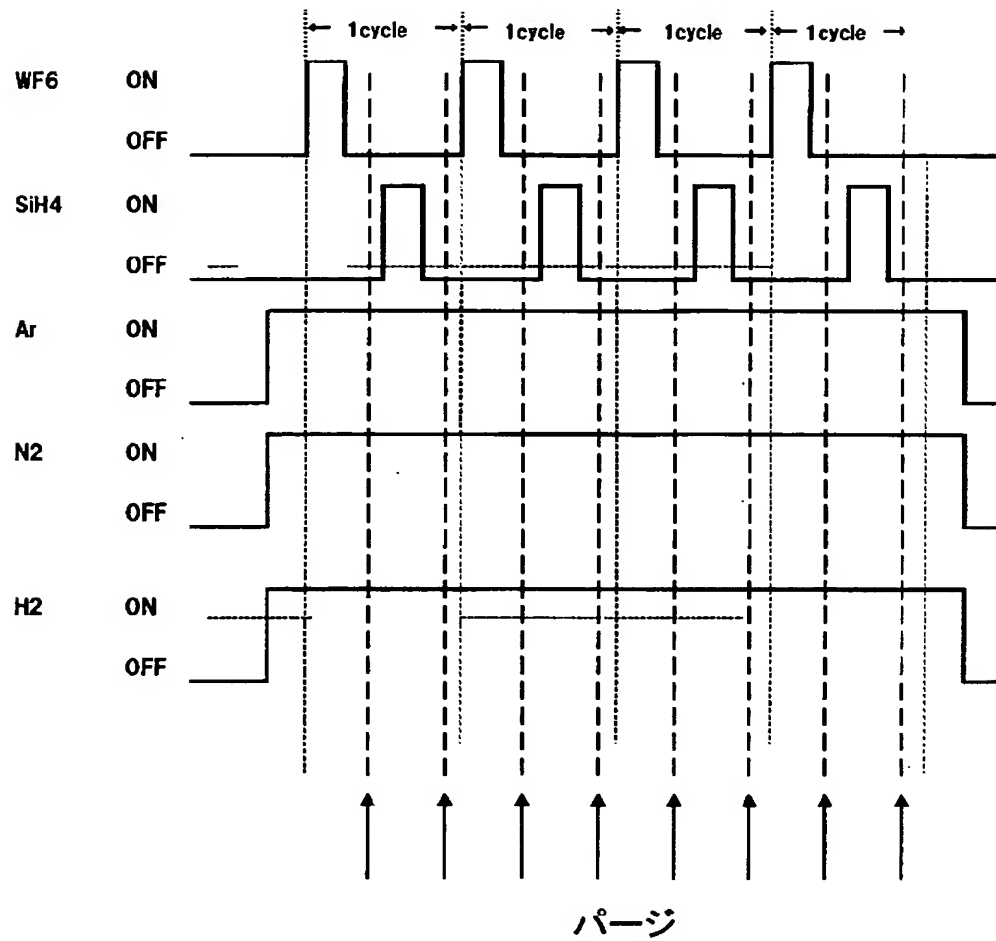
【図 13】

(A),(B)は本発明の第2実施例による  
タングステン膜の堆積工程を示す図



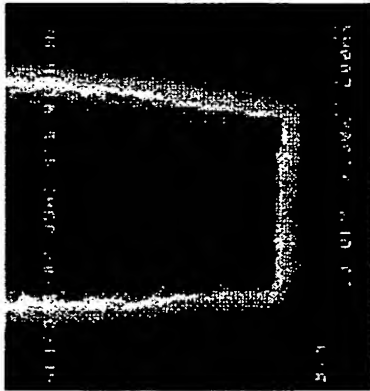
【図 14】

図13(A)の工程で使われるALDプロセスレシピの例を示す図

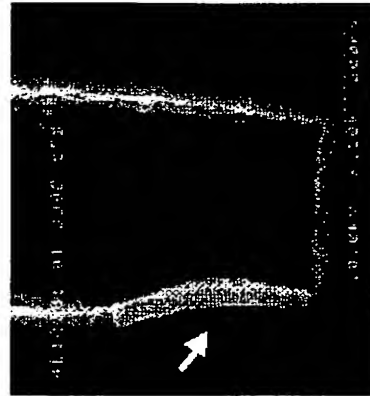


【図 15】

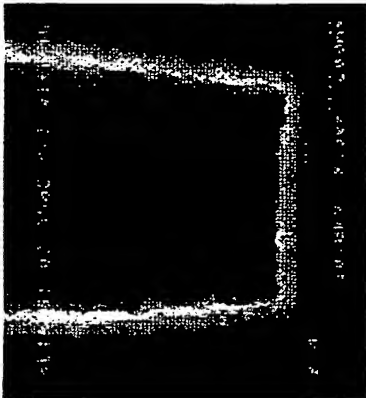
(A)～(D)はALDプロセスによるタングステン核生成層形成時のプロセス条件を様々に変化させた場合のビアホール表面のバリアメタル膜およびタングステン核生成層によるステップカバレッジの状態を示す図



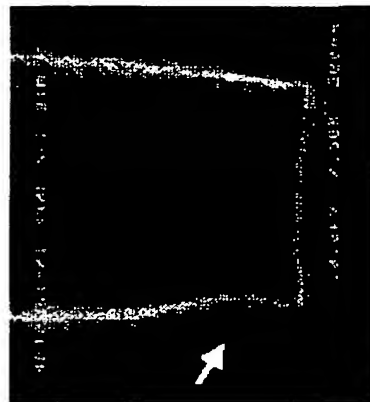
(B)



(D)



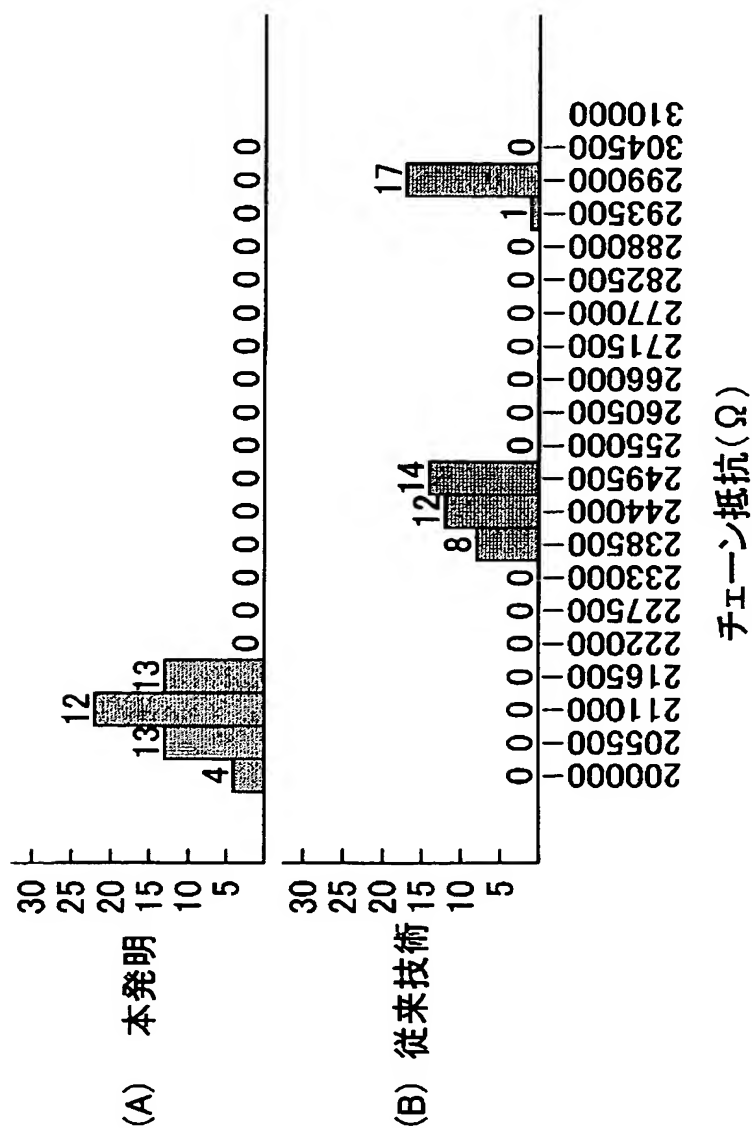
(A)



(C)

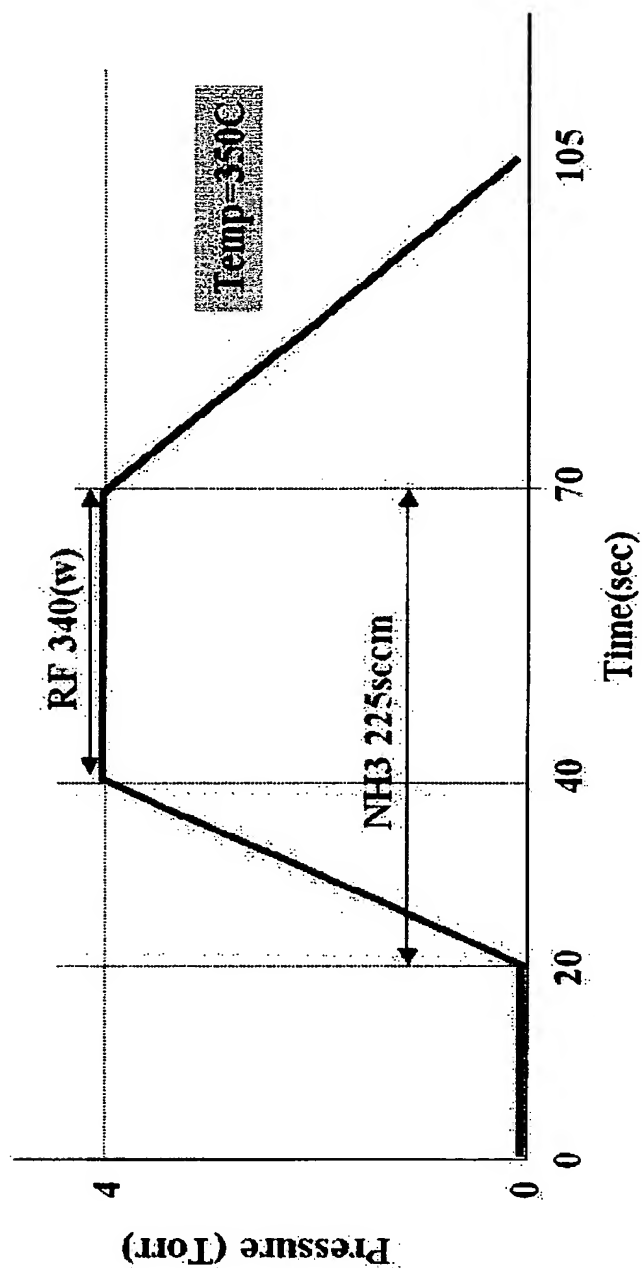
【図 16】

(A),(B)は本発明の多層配線構造におけるチェーン抵抗の分布を、従来技術により形成した多層配線構造のチェーン抵抗の分布と比較して示す図



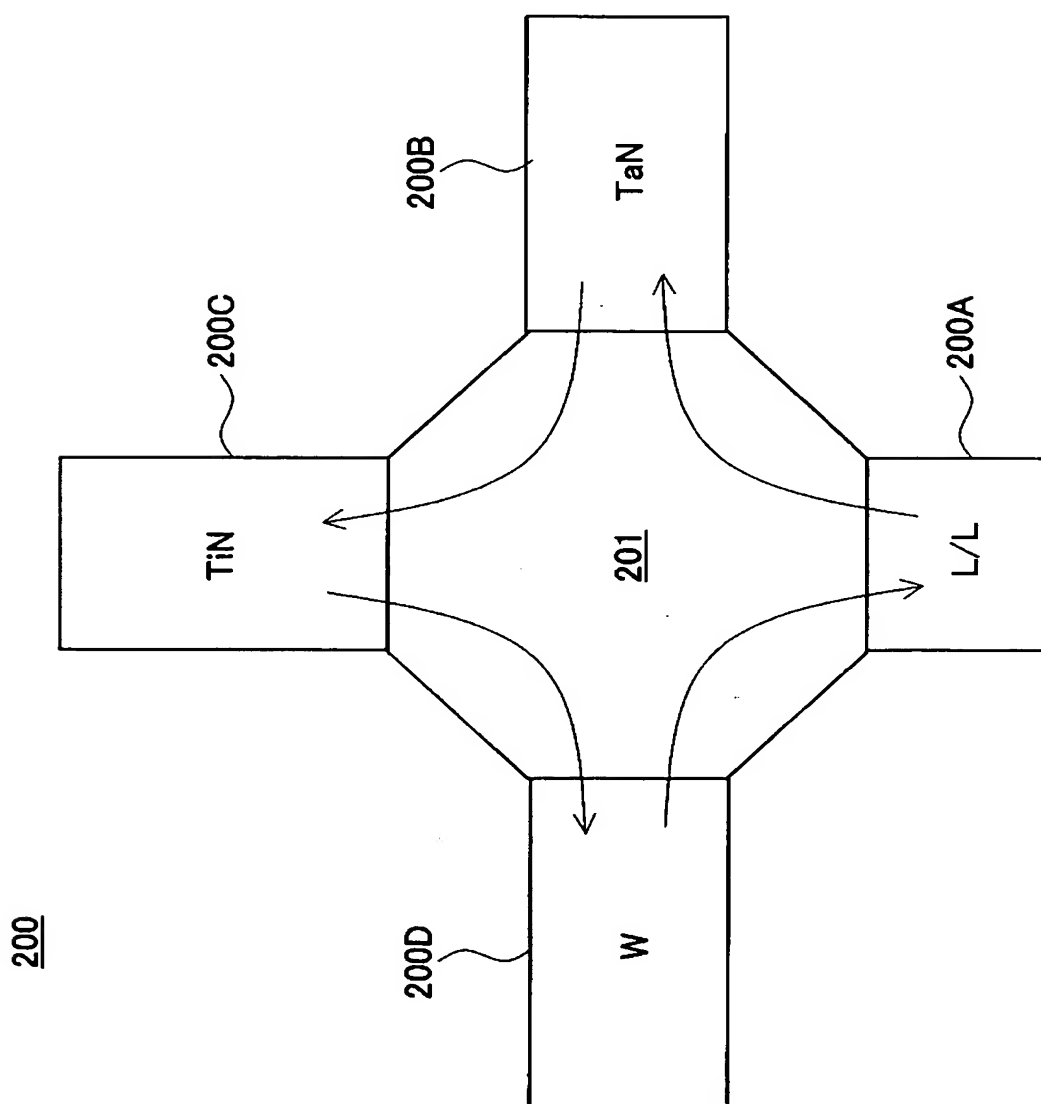
【図 17】

本発明第2実施例の一変形例による、タングステン膜堆積に先立って実行される前処理プラズマ工程のレシピを示す図で



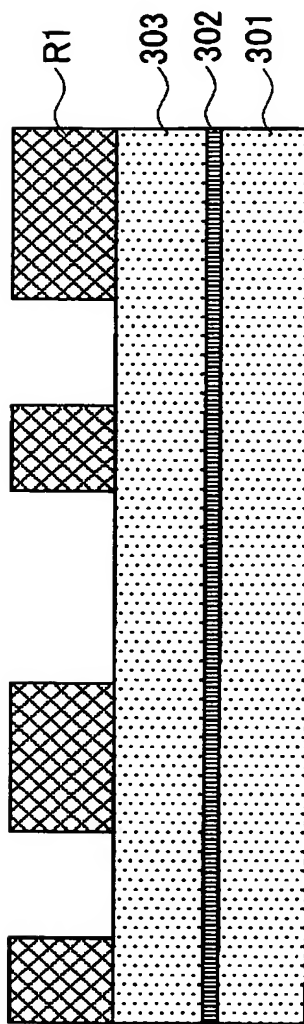
【図 18】

本発明の第3実施例において使われる  
クラスタ型基板処理装置の構成を示す図

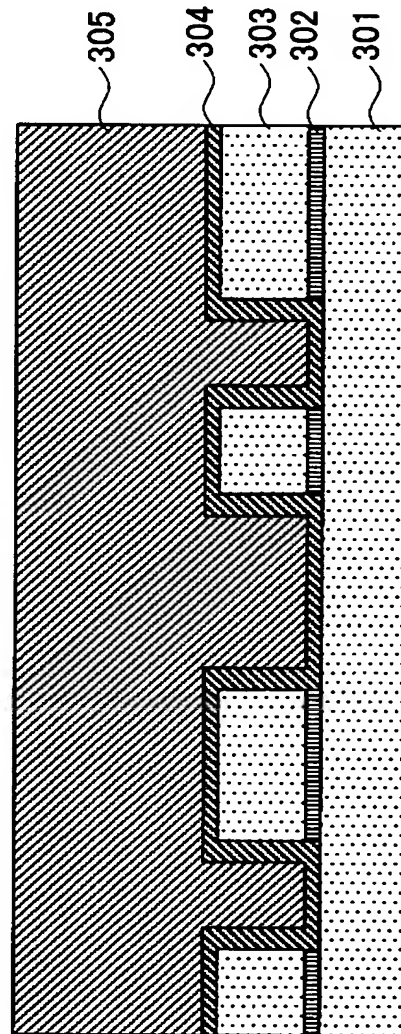


【図19】

(A), (B)は、本発明の第4実施例による  
半導体装置の製造工程を示す図(その1)



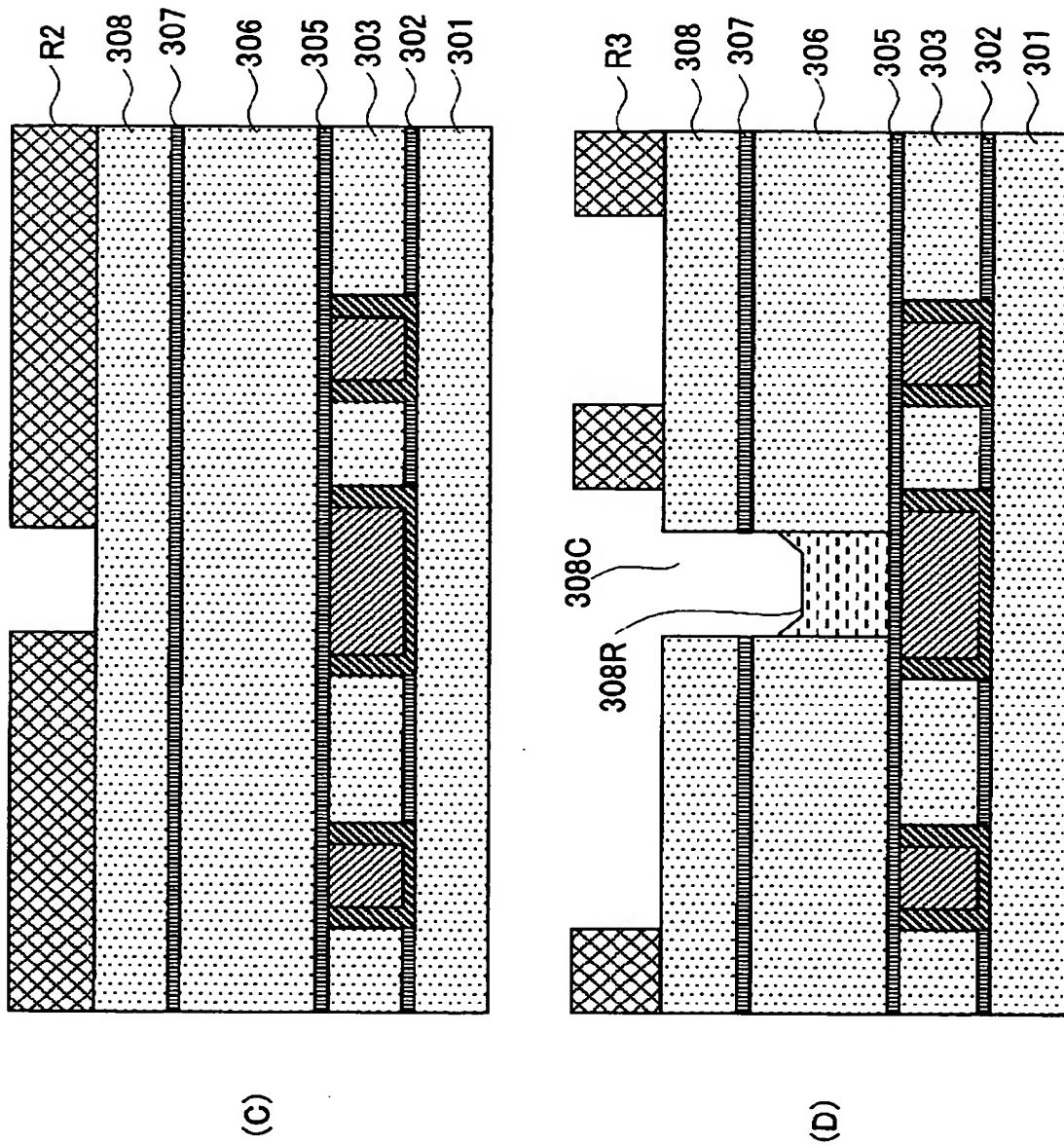
(A)



(B)

【図 20】

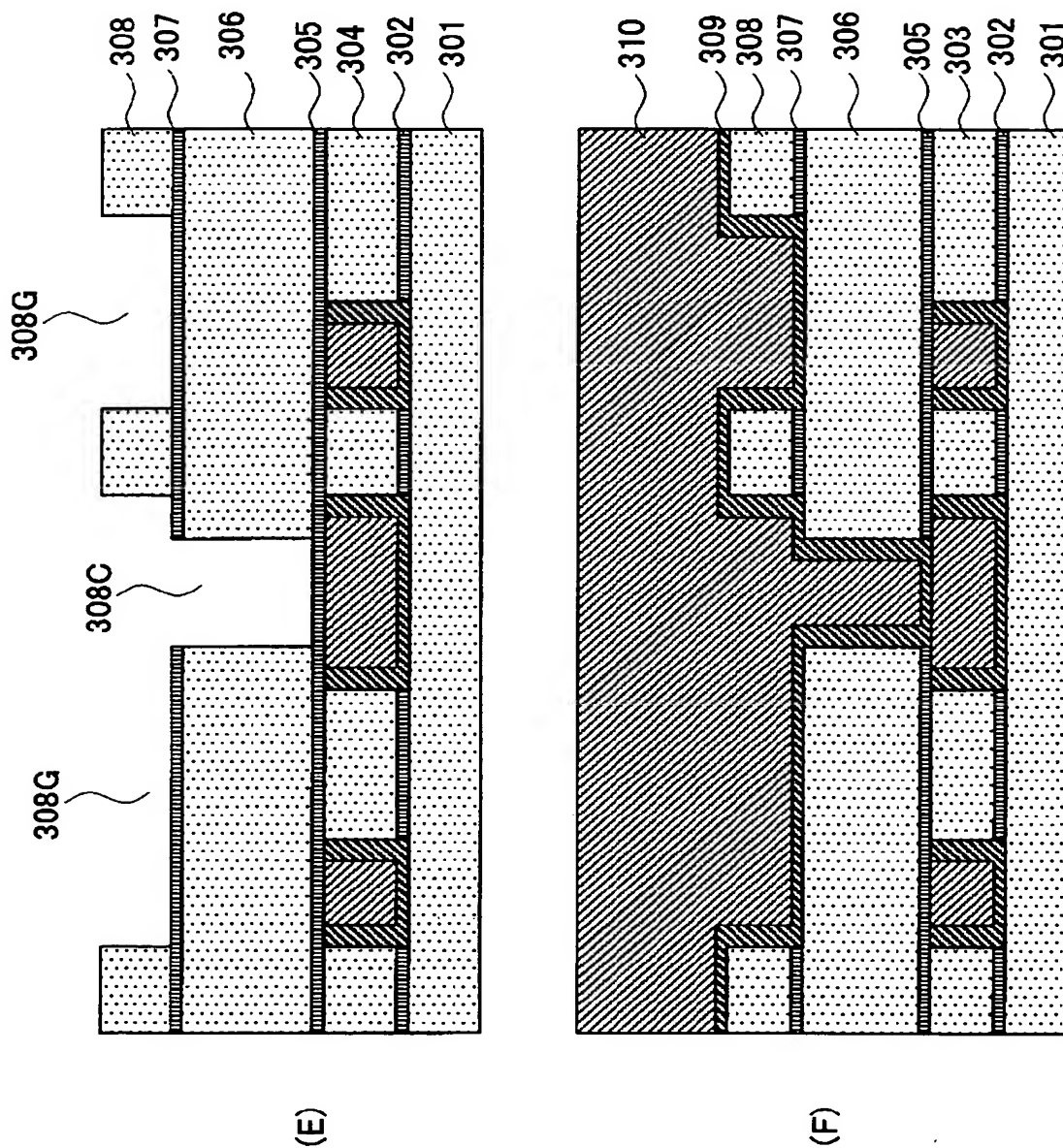
(C),(D)は本発明の第4実施例による  
半導体装置の製造工程を示す図(その2)





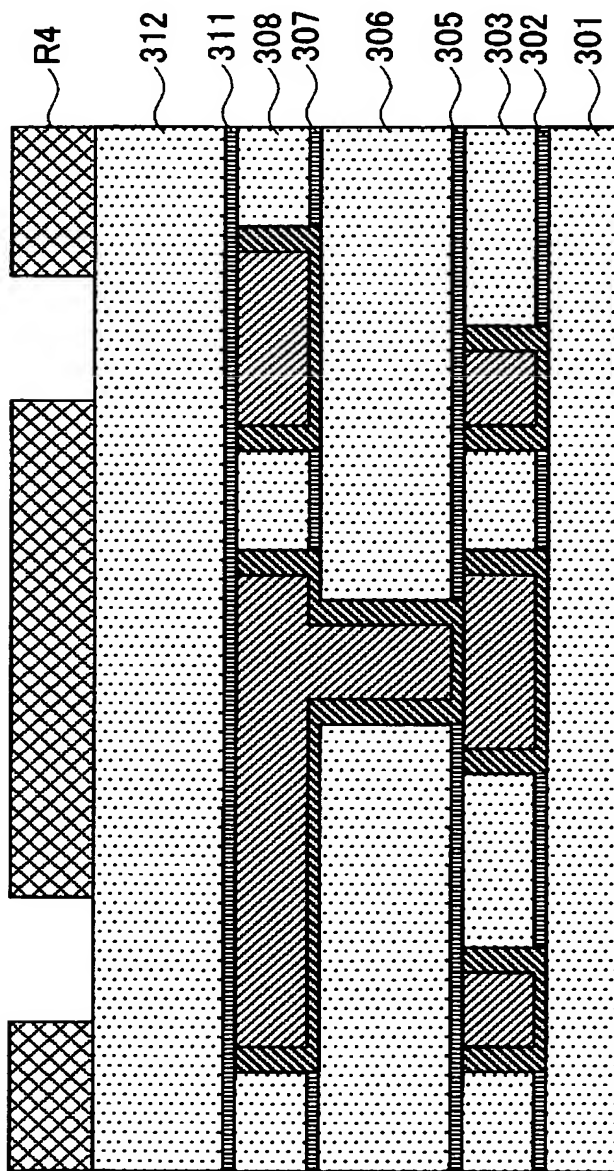
【図 21】

(E),(F)は本発明の第4実施例による  
半導体装置の製造工程を示す図(その3)



【図 22】

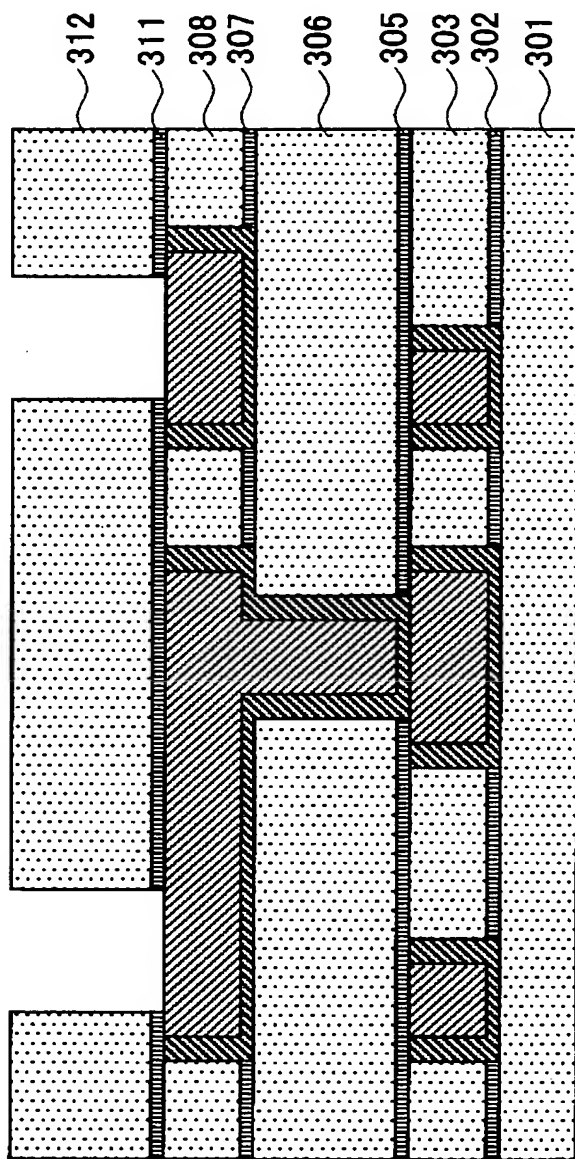
(G)は本発明の第4実施例による  
半導体装置の製造工程を示す図(その4)



(G)

【図 23】

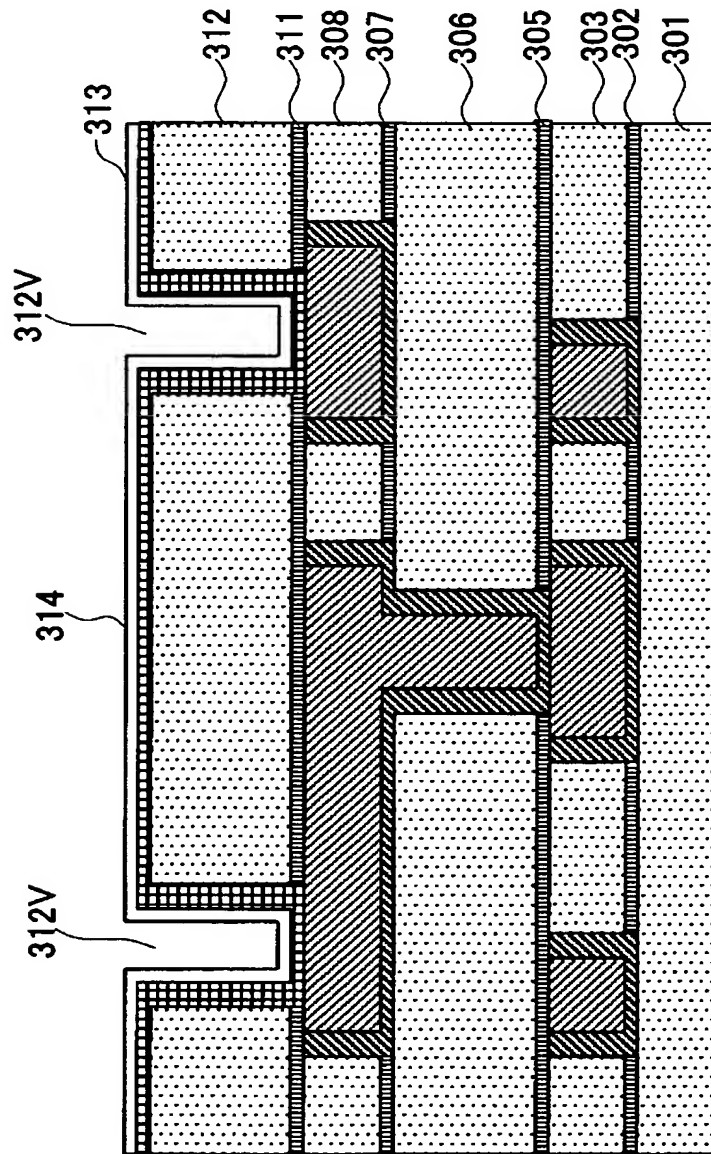
(H)は本発明の第4実施例による  
半導体装置の製造工程を示す図(その5)



(H)

【図 24】

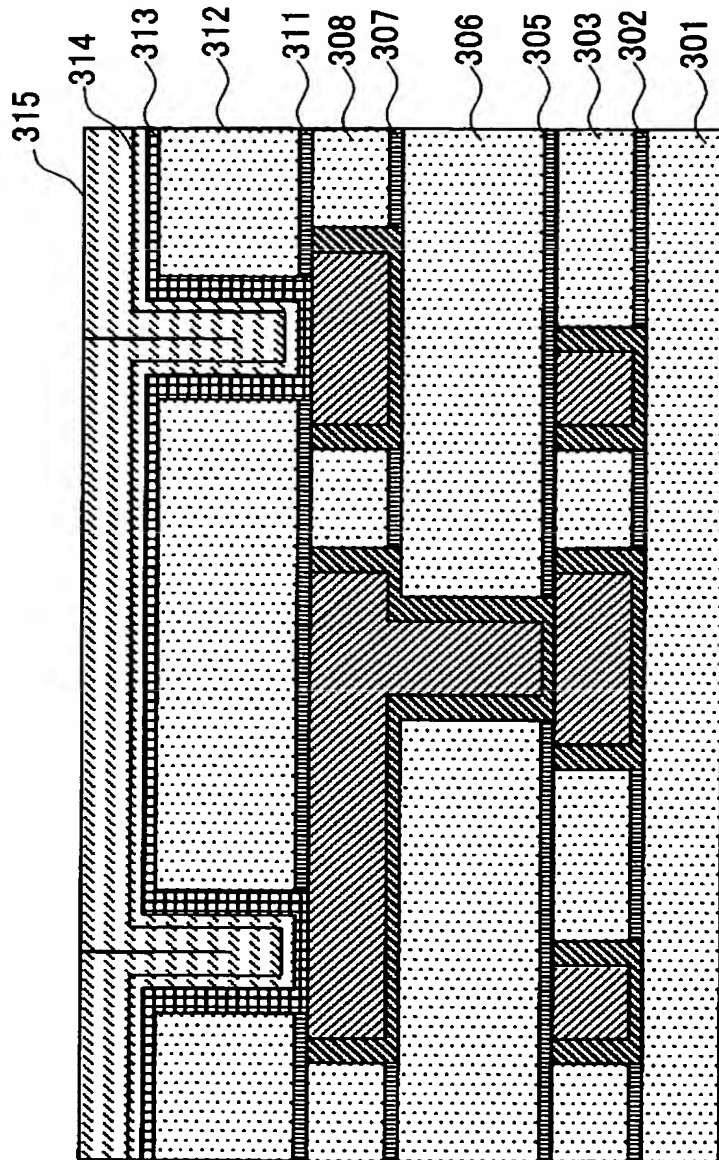
(I)は本発明の第4実施例による  
半導体装置の製造工程を示す図(その6)



(I)

【図 25】

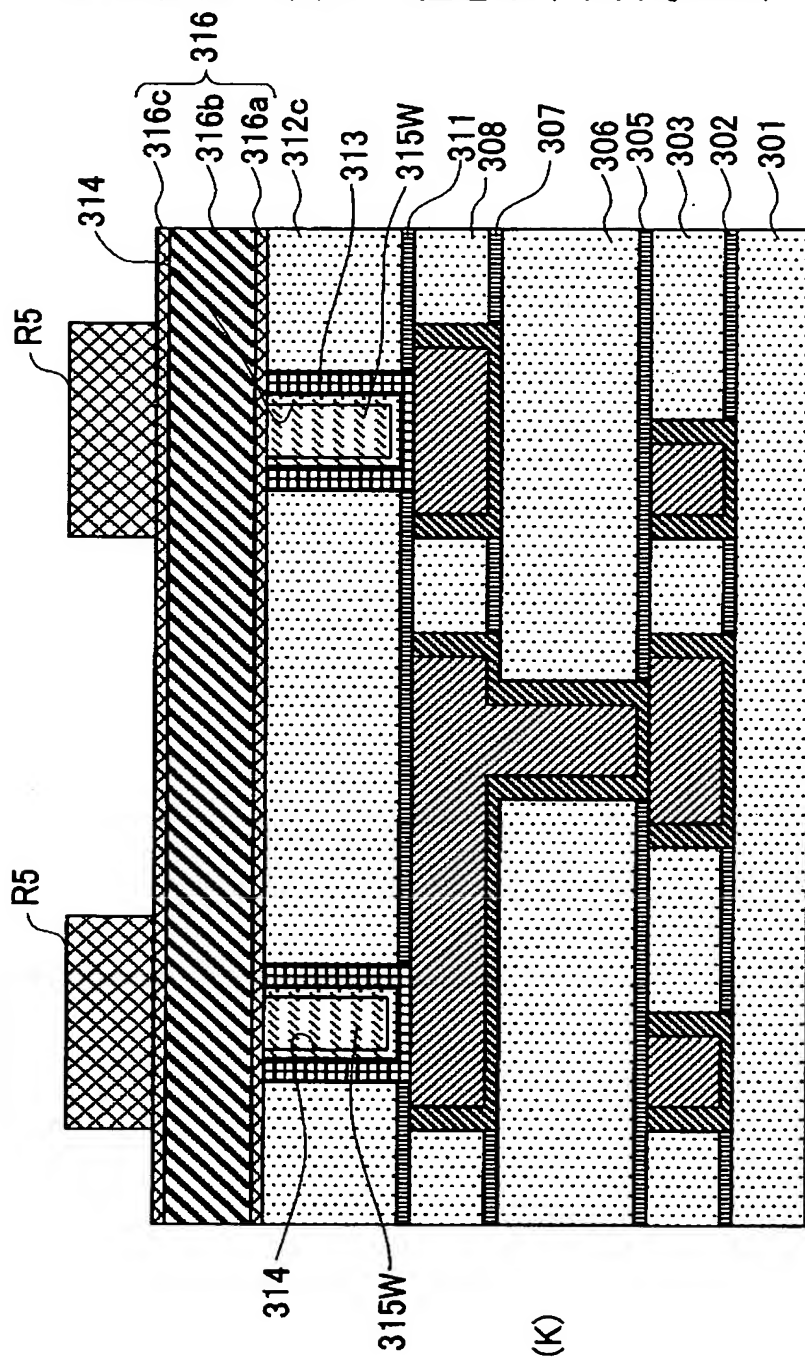
(J)は本発明の第4実施例による  
半導体装置の製造工程を示す図(その7)



(J)

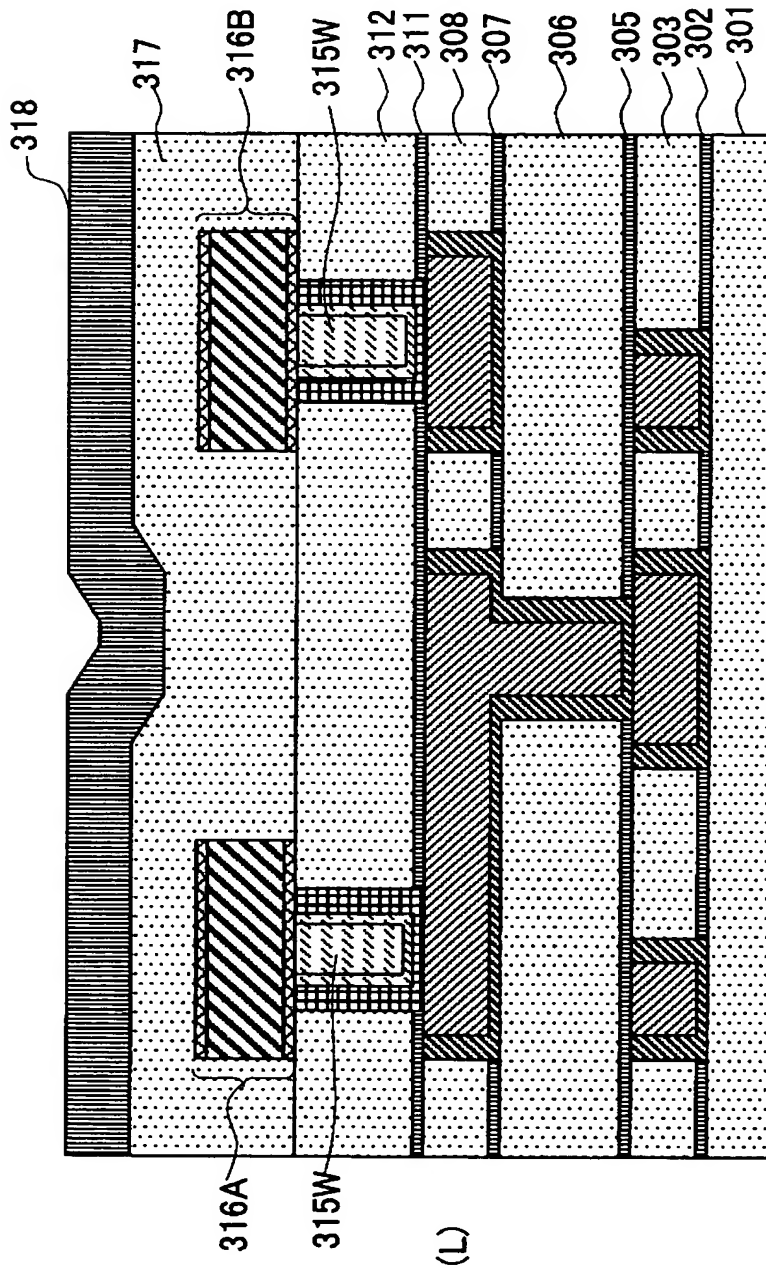
【図 26】

(K)は本発明の第4実施例による  
半導体装置の製造工程を示す図(その8)



【図 27】

(L)は本発明の第4実施例による  
半導体装置の製造工程を示す図(その9)







【書類名】 要約書

【要約】

【課題】 銅配線層を、その上に形成された A l などの配線層と、アスペクト比が 1 . 2 5 を超える微細なタングステンプラグを介して接続し、多層配線構造を形成する際に、バリアメタル膜あるいは銅配線層における欠陥の発生を抑制する。

【解決手段】 バリアメタル膜を窒化膜のみにより形成し、バリアメタル膜中における金属膜あるいは金属部分に形成を抑制する。さらにタングステン膜の C V D プロセスによりビアホールを充填する際に、タングステンの気相原料と同時に水素ガスを供給する。

【選択図】 図 6

特願 2 0 0 2 - 3 7 1 1 3 4

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 2 2 3 ]

1. 変更年月日

1 9 9 0 年 8 月 2 4 日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区上小田中 1 0 1 5 番地

氏 名

富士通株式会社

2. 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社